

IFW

Docket No. 251390US2

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Tomoaki SHINO

GAU: 2811

SERIAL NO: 10/814,345

EXAMINER:

FILED: April 1, 2004

FOR: SEMICONDUCTOR MEMORY DEVICE FOR STORING DATA AS STATE OF  
MAJORITY CARRIERS ACCUMULATED IN CHANNEL BODY AND  
METHOD OF MANUFACTURING THE SAME

**SUBMISSION NOTICE REGARDING PRIORITY DOCUMENT(S)**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Certified copies of the Convention Application(s) corresponding to the above-captioned matter:

☒ are submitted herewith

☐ were filed in prior application filed

☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule  
17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Joseph Scafetta, Jr.  
Registration No. 26,803

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 11/04)

10 214, 345

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 2 月 9 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 4 1 0 9 3 7  
[ST. 10/C]: [J P 2 0 0 3 - 4 1 0 9 3 7]

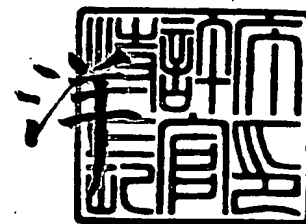
願 人  
Applicant(s): 株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年 1 1 月 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】 特許願  
【整理番号】 03P147  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/8242  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地  
                        株式会社東芝 横浜事業所内  
                        篠 智彰  
    【氏名】  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100092820  
    【弁理士】  
    【氏名又は名称】 伊丹 勝  
    【電話番号】 03-5216-2501  
【手数料の表示】  
    【予納台帳番号】 026893  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9810498

**【書類名】 特許請求の範囲****【請求項 1】**

基板と、

絶縁層により前記基板と絶縁分離された第 1 導電型の単結晶構造を有する第 1 半導体層と、

ワード線に接続されたゲート電極と、前記第 1 半導体層に設けられかつドレイン領域及びソース領域となる第 2 導電型の一对の不純物領域と、これらの不純物領域の間の前記第 1 半導体層に設けられた第 1 導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、

前記複数の記憶トランジスタのうち前記ゲート電極が前記ワード線で共通接続された記憶トランジスタどうしを絶縁分離する素子分離領域と、

隣り合う前記ドレイン領域どうし及び隣り合う前記ソース領域どうしを絶縁分離すると共に前記素子分離領域の幅よりも小さい幅を有する不純物領域分離領域と、を備える、

ことを特徴とする半導体メモリ装置。

**【請求項 2】**

隣り合う前記ドレイン領域どうしを跨ぐようにこれらの領域に共通接続されたドレインプラグを備える、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

**【請求項 3】**

基板と、

絶縁層により前記基板と絶縁分離された第 1 導電型の単結晶構造を有する第 1 半導体層と、

ワード線に接続されたゲート電極と、前記第 1 半導体層に設けられかつドレイン領域及びソース領域となる第 2 導電型の一对の不純物領域と、これらの不純物領域の間の前記第 1 半導体層に設けられた第 1 導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、

前記ゲート電極の側面に設けられたサイドウォールと、

前記サイドウォールの配置位置まで延びるように前記不純物領域上に接して形成された第 2 導電型の第 2 半導体層と、

を備えることを特徴とする半導体メモリ装置。

**【請求項 4】**

前記第 2 半導体層上に設けられたシリサイドを備える、

ことを特徴とする請求項 3 に記載の半導体メモリ装置。

**【請求項 5】**

ドレイン領域とソース領域で挟まれたチャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタを含む半導体メモリ装置の製造方法であって、

絶縁層により基板と絶縁分離された第 1 導電型の単結晶構造を有すると共に前記ドレイン領域、前記ソース領域及び前記チャンネルボディが形成される第 1 半導体層に、複数の素子分離領域を隣と間隔を設けて形成する工程と、

前記複数の素子分離領域で規定される前記第 1 半導体層上の領域にゲート絶縁膜を形成する工程と、

前記複数の記憶トランジスタをマトリクス状に配置するために、ゲート電極を含む複数のワード線を隣と間隔を設けて、前記複数の素子分離領域と交差するように前記ゲート絶縁膜上に形成する工程と、

前記ゲート電極間に位置するサイドウォールどうしの距離が前記素子分離領域の幅よりも小さくなるように、前記サイドウォールを前記ゲート電極の側面に形成する工程と、

前記サイドウォールをマスクにして前記第 1 半導体層を選択的に除去することにより、隣り合う前記ドレイン領域となる一方領域と他方領域とが絶縁分離されるように及び隣り合う前記ソース領域となる一方領域と他方領域とが絶縁分離されるように、前記素子分離領域の幅よりも小さい幅を有するトレンチを前記第 1 半導体層に自己整合的に形成する工

程と、

前記第 1 半導体層に形成された前記ドレイン領域に接続するビット線及び前記ソース領域に接続するソース線を形成する工程と、を備える、  
ことを特徴とする半導体メモリ装置の製造方法。

## 【書類名】明細書

## 【発明の名称】半導体メモリ装置及びその製造方法

## 【技術分野】

## 【0001】

本発明は、半導体メモリ装置に係り、例えばSOI基板のような基板に形成されたトランジスタのチャネルボディの多数キャリア蓄積状態によりデータ記憶を行う半導体メモリ装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

最近、従来のDRAM代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体メモリ装置が提案されている（特許文献1参照）。メモリセルは、SOI基板に形成されたフローティングのボディ（チャネルボディ）を持つ一つのトランジスタにより構成される。このメモリセルは、ボディに過剰の多数キャリアが蓄積された状態を第1データ状態（例えば、データ“1”）、ボディから過剰の多数キャリアが放出された状態を第2データ状態（例えば、データ“0”）として、二値記憶を行う。

## 【0003】

このようなメモリセルを“FBC（Floating Body Cell）”といい、FBCを用いた半導体メモリ装置を“FBCメモリ”という。FBCメモリは、通常のDRAMのようにキャパシタを用いないから、セルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。

【特許文献1】特開2002-343886（図1～図4）

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

FBCにおいても、従来のDRAM等の他の半導体メモリと同様に、（1）データ破壊が発生するのを防止すること、（2）微細化を図ること、（3）寄生抵抗およびそのばらつきを小さくすること、（4）データ保持時間を長くすること、が望まれる。

## 【0005】

本発明の目的は、微細化を図りつつデータ破壊の防止を可能にする半導体メモリ装置及びその製造方法を提供することである。

## 【0006】

本発明の他の目的は、寄生抵抗およびそのばらつきを小さくしつつデータ保持時間を長くすることが可能な半導体メモリ装置を提供することである。

## 【課題を解決するための手段】

## 【0007】

本発明に係る半導体メモリ装置の一態様は、基板と、絶縁層により前記基板と絶縁分離された第1導電型の単結晶構造を有する第1半導体層と、ワード線に接続されたゲート電極と、前記第1半導体層に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記第1半導体層に設けられた第1導電型のチャネルボディと、を含むと共に前記チャネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、前記複数の記憶トランジスタのうち前記ゲート電極が前記ワード線で共通接続された記憶トランジスタどうしを絶縁分離する素子分離領域と、隣り合う前記ドレイン領域どうし及び隣り合う前記ソース領域どうしを絶縁分離すると共に前記素子分離領域の幅よりも小さい幅を有する不純物領域分離領域と、を備える、ことを特徴とする。

## 【0008】

本発明に係る半導体メモリ装置の他の態様は、基板と、絶縁層により前記基板と絶縁分離された第1導電型の単結晶構造を有する第1半導体層と、ワード線に接続されたゲート電極と、前記第1半導体層に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記第1半導体層に設けられた第1導

電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、前記ゲート電極の側面に設けられたサイドウォールと、前記サイドウォールの配置位置まで延びるように前記不純物領域上に接して形成された第2導電型の第2半導体層と、を備えることを特徴とする。

#### 【0009】

本発明に係る半導体メモリ装置の製造方法の一態様は、ドレイン領域とソース領域で挟まれたチャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタを含む半導体メモリ装置の製造方法であって、絶縁層により基板と絶縁分離された第1導電型の単結晶構造を有すると共に前記ドレイン領域、前記ソース領域及び前記チャンネルボディが形成される第1半導体層に、複数の素子分離領域を隣と間隔を設けて形成する工程と、前記複数の素子分離領域で規定される前記第1半導体層上の領域にゲート絶縁膜を形成する工程と、前記複数の記憶トランジスタをマトリクス状に配置するために、ゲート電極を含む複数のワード線を隣と間隔を設けて、前記複数の素子分離領域と交差するように前記ゲート絶縁膜上に形成する工程と、前記ゲート電極間に位置するサイドウォールどうしの距離が前記素子分離領域の幅よりも小さくなるように、前記サイドウォールを前記ゲート電極の側面に形成する工程と、前記サイドウォールをマスクにして前記第1半導体層を選択的に除去することにより、隣り合う前記ドレイン領域となる一方領域と他方領域とが絶縁分離されるように及び隣り合う前記ソース領域となる一方領域と他方領域とが絶縁分離されるように、前記素子分離領域の幅よりも小さい幅を有するトレンチを前記第1半導体層に自己整合的に形成する工程と、前記第1半導体層に形成された前記ドレイン領域に接続するビット線及び前記ソース領域に接続するソース線を形成する工程と、を備える、ことを特徴とする。

#### 【発明の効果】

#### 【0010】

本発明の一態様によれば、微細化を図りつつデータ破壊の防止を可能にする半導体メモリ装置及びその製造方法を実現することができる。また、本発明の他の態様によれば、寄生抵抗およびそのばらつきを小さくしつつデータ保持時間を長くすることが可能な半導体メモリ装置を実現することができる。

#### 【発明を実施するための最良の形態】

#### 【0011】

本発明の実施形態を以下の項目に分けて説明する。メモリセルとして機能する記憶トランジスタはFBCを意味する。

#### 【0012】

##### [第1実施形態]

- (半導体メモリ装置の構造)
- (半導体メモリ装置の動作)
- (第1実施形態の主な効果)
- (半導体メモリ装置の製造方法)

##### [第2実施形態]

- (半導体メモリ装置の構造)
- (半導体メモリ装置の製造方法)

##### [第3実施形態]

##### [第4実施形態]

- (半導体メモリ装置の構造)
- (半導体メモリ装置の製造方法)

##### [第5実施形態]

- (半導体メモリ装置の構造)
- (半導体メモリ装置の製造方法)

なお、各実施形態を説明する図において、既に説明した図の符号で示すものと同一のものについては、同一符号を付すことにより説明を省略する。

## 【0013】

## [第1実施形態]

第1実施形態は、隣り合うドレイン領域どうし及び隣り合うソース領域どうしを絶縁分離する不純物領域分離領域を備え、この領域の幅を素子分離領域の幅よりも小さくしたことを主な特徴とする。

## 【0014】

## (半導体メモリ装置の構造)

図1は、第1実施形態に係る半導体メモリ装置のセルアレイ1の一部の平面図である。セルアレイ1は、複数の記憶トランジスタMTがマトリクス状に配置された構造を有する。記憶トランジスタMTは、フローティング状態のチャンネルボディの多数キャリア蓄積状態によりデータを記憶する。以下、セルアレイ1の平面構造について詳細に説明する。

## 【0015】

セルアレイ1は、y方向に延びる複数の素子分離領域3を備え、これらは隣と間隔を設けて配置されている。素子分離領域3間の領域が素子形成領域5となる。素子形成領域5には、ドレイン領域7及びソース領域9となる一对の不純物領域が形成されている。

## 【0016】

セルアレイ1において、素子分離領域3と交差するようにx方向に延びる複数のワード線WLが、隣と間隔を設けて配置されている。ワード線WLと素子形成領域5とが交差する箇所に記憶トランジスタMTが配置される。各記憶トランジスタMTのゲート電極は対応するワード線WLに接続されている。ゲート電極がワード線WLで共通接続された記憶トランジスタMTどうしは、素子分離領域3により絶縁分離される。

## 【0017】

ワード線WL間には、ドレインプラグDPとx方向に延びるソース線SLとが交互に配置されている。ドレインプラグDPは、隣り合うドレイン領域7に共通接続された導電性のプラグであり、y方向に延びるビット線BLと接続されている。ソース線SLは、隣り合うソース領域9に共通接続されている。

## 【0018】

ドレインプラグDP下の素子形成領域5には、隣り合うドレイン領域7どうしを絶縁分離する不純物領域分離領域11が形成されている。同様に、ソース線SL下の素子形成領域5にも、隣り合うソース領域9どうしを絶縁分離する不純物領域分離領域11が形成されている。これら分離領域11の幅w1は、素子分離領域3の幅w2（ワード線WL方向の寸法）よりも小さい。これが第1実施形態の特徴の一つである。

## 【0019】

次に、第1実施形態に係るセルアレイの断面構造について、図2A、図2B及び図2Cを用いて説明する。図2Aは図1のA1-A2線に沿った断面図であり、図2BはB1-B2線に沿った断面図であり、図2CはC1-C2線に沿った断面図である。

## 【0020】

記憶トランジスタMTは、フローティングボディを持つNMOSトランジスタである。トランジスタMTは、シリコン基板13（基板の一例）、シリコン酸化層15（絶縁層の一例）、単結晶構造のp型のシリコン層17（第1半導体層の一例）が積層された構造を有するSOI基板19に形成されている。シリコン層17は、シリコン酸化層15によりシリコン基板13と絶縁分離されている。素子分離領域3及び不純物領域分離領域11で規定されるシリコン層17が、素子形成領域5となる。素子分離領域3は、シリコン層17（第1半導体層の一例）よりも高さが大きい。

## 【0021】

記憶トランジスタMTは、素子形成領域5（シリコン層17）に形成されたp型のチャンネルボディ21と、チャンネルボディ21上にゲート絶縁膜23を介して形成されると共にワード線WLに接続されたゲート電極25と、チャンネルボディ21を挟むように素子形成領域5（シリコン層17）に設けられたn型のドレイン領域7及びソース領域9と、を備える。



**【0022】**

ドレイン領域7とソース領域9との間のシリコン層17に設けられたチャネルボディ21は、フローティングボディとなる。記憶トランジスタMTは、チャネルボディ21の多数キャリア蓄積状態によりデータを記憶する。詳しくは、チャネルボディ21が過剰の多数キャリアを保持する第1データ状態と、チャネルボディ21が第1データ状態より少ない多数キャリアを保持する第2データ状態とのいずれかを記憶する。

**【0023】**

ドレイン領域7、ソース領域9は、LDD(Lightly Doped Drain)構造を有する。このため、これらの領域7、9の先端は、n型の低濃度領域27にされている。ドレイン領域7やソース領域9上には、それぞれの領域と接するように、n型の選択エピタキシャル層29(第2半導体層の一例)が形成されている。この層29上にはシリサイド31が形成されている。シリサイド31の端部は、素子分離領域3上に延びている。なお、図2Cでは、選択エピタキシャル層29が素子分離領域3より下に位置しているが、選択エピタキシャル層29の高さが素子分離領域3よりも高く、選択エピタキシャル層29の端部が素子分離領域3上に延びた構造でもよい。

**【0024】**

不純物領域分離領域11は、隣り合うドレイン領域7どうし及び隣り合うソース領域9どうしを絶縁分離する。分離領域11は、さらに上方に延びており、これにより、隣り合うドレイン領域7(ソース領域9)上の選択エピタキシャル層29どうし及びシリサイド31どうしを、絶縁分離している。不純物領域分離領域11は、シリコン酸化層15に到達するトレンチ35に絶縁膜37を埋め込んだ構造を有する。

**【0025】**

ゲート絶縁膜23は具体的にはゲート酸化膜である。ゲート電極25の材料は例えばポリシリコンである。ゲート電極25上にはシリサイド33が形成されている。ゲート電極25の側面には、サイドウォール39が設けられている。サイドウォール39の配置位置まで、選択エピタキシャル層29が延びている。サイドウォール39は、選択エピタキシャル層29(第2半導体層の一例)とゲート電極25の間に、シリコン窒化膜41、シリコン酸化膜43、シリコン窒化膜45がサンドイッチされた構造を有する。

**【0026】**

記憶トランジスタMTを覆うようにシリサイド31、33上に層間絶縁膜47が形成されている。ソース領域9上の層間絶縁膜47には、ワード線WLが延びる方向に沿ってトレンチ49が形成されている。トレンチ49にソース線SLが埋め込まれている。ソース線SLは、シリサイド31及び選択エピタキシャル層29を介して、隣り合うソース領域9のそれぞれに接続される。

**【0027】**

また、層間絶縁膜47のうちドレイン領域7上には、スルーホール51が形成されている。スルーホール51には、ドレインプラグDPの下部53が埋め込まれている。下部53は、ドレイン領域7のシリサイド層31に接続されている。

**【0028】**

層間絶縁膜47は層間絶縁膜55で覆われている。層間絶縁膜55に設けられたスルーホール57には、ドレインプラグDPの下部53と接続するドレインプラグDPの上部59が埋め込まれている。ドレインプラグDPは、下部53と上部59で構成されている。ドレインプラグDPは、シリサイド31及び選択エピタキシャル層29を介して、隣り合うドレイン領域7どうしを跨ぐように、これらの領域に共通接続されている。層間絶縁膜55上には、ビット線BLが埋め込まれた層間絶縁膜61が形成されている。ビット線BLはドレインプラグDPと接続されている。

**【0029】**

なお、SOI基板19には、論理回路を混載することもできる。図2Dは、この論理回路の構成要素となるPMOSトランジスタPQとNMOSトランジスタNQの断面図である。これらのロジックトランジスタは、シリコン層17(第1半導体層の一例)に形成さ

れる。

#### 【0030】

(半導体メモリ装置の動作)

半導体メモリ装置の動作について図3～図5で説明する。図3～図5は、記憶トランジスタMTの断面の模式図である。図3はデータ“1”の書込み動作、図4はデータ“0”の書込み動作、図5はデータの読出し動作を示している。

#### 【0031】

図3に示すように、記憶トランジスタMTへのデータ“1”の書込みには、記憶トランジスタMTに大きなチャネル電流が流れるバイアス条件を与える。例えば、ワード線WLに1.5V、ビット線BLに1.5Vを印加する。これにより、ドレイン領域7近傍でインパクトイオン化により発生する多数キャリア(図の例ではホールhole)をチャネルボディ21に蓄積する。

#### 【0032】

一方、データ“0”書込みは、図4に示すように、例えばワード線WLに1.5V、ビット線BLに-1Vを印加する。これにより、ドレイン領域7とチャネルボディ21の間のPN接合を順バイアス状態として、ボディ21の多数キャリアをドレイン領域7側に放出させる。

#### 【0033】

ボディ21のキャリア蓄積状態の相違は、記憶トランジスタMTのしきい値の相違として現れる。従って、図5に示すように、例えばワード線WLに1.5V、ビット線BLに0.2Vを与えて、セル電流の有無又は大小を検出することにより、データ“0”、“1”の読出しができる。

#### 【0034】

図6は、記憶トランジスタMTのドレイン電流 $I_{ds}$ ーゲート電圧 $V_{gs}$ 特性をデータ“0”、“1”について示している。なお、チャネルボディ21の過剰の多数キャリアは、長時間放置すると、ドレイン領域7、ソース領域9との間のPN接合を介して抜ける。従って、従来のDRAMと同様に一定周期でリフレッシュ動作を行うことが必要である。

#### 【0035】

(第1実施形態の主な効果)

第1実施形態の主な効果を比較例と比較しながら説明する。図7は、比較例に係るセルアレイの一部の平面図であり、図1と対応する。図8は、図7のA1-A2線に沿った断面図であり、図2Aと対応する。比較例は、第1実施形態の選択エピタキシャル層29や不純物領域分離領域11が設けられていない。

#### 【0036】

効果1:

第1実施形態は比較例に比べて記憶トランジスタMTの寄生抵抗のばらつきを小さくできる。この理由を詳細に説明する。記憶トランジスタMTの寄生抵抗のばらつきが大きいと、データを読み書きする際に大きな電流を流すFBCメモリでは、ドレイン領域7やソース領域9の電位のばらつきも大きくなる。このため、データの読み書きの際に、領域7、9の電位が正常値から外れる記憶トランジスタ(不良セル)の数が増大する。

#### 【0037】

比較例によれば寄生抵抗のばらつきが比較的大きくなる。つまり、図8に示すように、比較例には第1実施形態の選択エピタキシャル層29が設けられていない。したがって、ドレインプラグDPの下部71がドレイン領域7に直接接続され、またソース線SLがソース領域9に直接接続されている。ドレインプラグDPの下部71やソース線SLの材料は、ポリシリコンであり、その上にシリサイド73が形成されている。

#### 【0038】

ドレインプラグDPの下部71やソース線SLの形成は、次の通りである。ドレイン領域7及びソース領域9を覆う層間絶縁膜75のうち、ドレイン領域7上にコンタクトホール77、ソース領域9上にワード線WL方向に延びるトレンチ79を、フォトリソグラフ

イとエッチングにより形成する。その後、コンタクトホール 77 にドレインプラグ DP の下部 71、トレンチ 79 にソース線 SL をそれぞれ埋め込む。

#### 【0039】

コンタクトホール 77 やトレンチ 79 の形成にフォトリソグラフィを利用するので、これらの位置ずれが不可避免的に発生する。また、ゲート電極 25 の形成にもフォトリソグラフィを利用するため、ゲート電極 25 の位置ずれも不可避免的に発生する。これらにより、ゲート電極 25 とドレインプラグ DP の下部 71 との距離  $d_1$  やゲート電極 25 とソース線 SL との距離  $d_2$  には、比較的大きなばらつきが発生する。

#### 【0040】

距離  $d_1$ 、 $d_2$  がばらつくと、これに伴って、電流経路 c1 (ドレインプラグ DP の下部 71 とシリサイド 73 との界面からドレイン領域 7 の低濃度領域 27 までの電流経路) や、電流経路 c2 (ソース線 SL とシリサイド 73 との界面からソース領域 9 の低濃度領域 27 までの電流経路) にばらつきが生じる。電流経路 c1、c2 は、半導体層なので比較的抵抗が高く、このため、寄生抵抗の大きな割合を占める。よって、距離  $d_1$ 、 $d_2$  が比較的大きくばらつくと、寄生抵抗のばらつきも比較的大きくなる。

#### 【0041】

これに対して、図 2A に示す第 1 実施形態によれば、ドレイン領域 7 やソース領域 9 上に配置された選択エピタキシャル層 29 を備える。後の製造方法で説明するように、この層 29 はサイドウォール 39 を利用して、選択エピタキシャル成長により自己整合的に形成するので、この層 29 はサイドウォール 39 の配置位置まで延びている。したがって、第 1 実施形態での図 8 の電流経路 c1、c2 に相当する電流経路は、サイドウォール 39 のすぐ隣となるため、電流経路のばらつきが比較的小さくなる。また、ドレインプラグ DP やソース線 SL はタングステン等の金属で形成されており、それらとシリサイドとの接触抵抗が記憶トランジスタ MT の全寄生抵抗に占める割合は小さい。この結果、ドレインプラグ DP やソース線 SL の形成位置がばらついても、寄生抵抗のばらつきを比較的小さくできる。

#### 【0042】

効果 2:

第 1 実施形態によれば、選択エピタキシャル層 29 により、シリサイド 31 が原因となる接合リーク電流も抑制することができる。詳細に説明すると、図 8 のドレイン領域 7 やソース領域 9 上に直接にシリサイドを形成する、つまりサリサイド (自己整合的シリサイド) 構造にすると、寄生抵抗およびそのばらつきを小さくできる。しかし、シリサイドとドレイン領域 7 との距離やシリサイドとソース領域 9 との距離が短いので、シリサイドからドレイン領域 7 やソース領域 9 に拡散する金属原子が原因となる接合リーク電流が著しく増大する。この結果、記憶トランジスタ MT のデータ保持時間が著しく短くなり、メモリセルとして機能させることができない。

#### 【0043】

第 1 実施形態によれば、二つの理由でサリサイドに起因する接合リーク電流を抑制できる。一つは選択エピタキシャル層 29 の不純物濃度を比較的高くすることにより (例えば、 $1 \times 10^{20} / \text{cm}^3$  以上)、シリサイド 31 から拡散する金属原子の影響を小さくできる、すなわち金属原子が拡散する領域に PN 接合の空乏層が到達しないようにすることができる。もう一つは、ドレイン領域 7 (ソース領域 9) とシリサイド 31 との間に選択エピタキシャル層 29 がある。この層 29 の高さ、つまり、シリコン層 17 から界面 (選択エピタキシャル層 29 とシリサイド 31 との界面) までの距離は、例えば 100 nm なので、シリサイド 31 とドレイン領域 7 (ソース領域 9) との距離が大きくなり、シリサイド 31 から拡散する金属原子の影響を小さくできる。

#### 【0044】

効果 3:

第 1 実施形態によれば、ドレイン領域 7 やソース領域 9 を LDD 構造とすることにより、これらの領域とチャネルボディ 21 との pn 接合付近での電界強度を弱めて、pn 接合

リーク電流を抑制することができる。具体的には、ドレイン領域7やソース領域9のうち、pn接合の位置から80nm以上の領域のn型の不純物濃度を $1 \times 10^{19} / \text{cm}^3$ 以下として、低濃度でゆるやかな濃度勾配としている。一方、選択エピタキシャル層29（第2半導体層の一例）はpn接合の位置からサイドウォール39を隔てた位置に100nmの厚みを有するように形成されているので、シリサイド31と選択エピタキシャル層29との界面におけるn型の不純物濃度を例えば、 $1 \times 10^{20} / \text{cm}^3$ 以上にすることができる。この場合においてもpn接合付近の濃度勾配に影響を及ぼすことはない。したがって、選択エピタキシャル層29の抵抗を下げることができるため、寄生抵抗を下げるることができる。そして、選択エピタキシャル層29上にシリサイド31が形成されているため、寄生抵抗をさらに下げることができる。抵抗を下げられる理由は効果5で詳述する。

#### 【0045】

効果4:

第1実施形態によれば、比較例と比べて記憶トランジスタMTのデータ破壊を防ぎつつ微細化を図ることができる。まず、記憶トランジスタMTのデータ破壊から説明する。図9は、図8に示す比較例において、データの書換え動作を説明するための断面の模式図である。記憶トランジスタMT2にデータ“1”が記憶され、隣の記憶トランジスタMT1にデータ“0”が記憶されているとする。“1”が記憶された状態は、チャンネルボディ21に多数のhole（正孔）が蓄積された状態である。これに対して、“0”が記憶された状態は、チャンネルボディ21にhole（正孔）がない状態である。

#### 【0046】

記憶トランジスタMT2を選択して、データを“1”から“0”に書き換えるとする。この場合、記憶トランジスタMT2のワード線WLに正電圧、ビット線BLに負電圧を印加する。ドレイン領域7は負電圧となるため、ドレイン領域7がn型ベースで、その両側のチャンネルボディ21がそれぞれp型エミッタ、p型コレクタとなる寄生バイポーラトランジスタが、シリコン層17の底部で動作することがある。これにより、記憶トランジスタMT2のチャンネルボディ21のhole（正孔）は、（a）で示すように、非選択である隣の記憶トランジスタMT1のチャンネルボディ21に流れ込む。この結果、非選択の記憶トランジスタMT1に記憶されているデータ“0”が破壊されてしまう問題が生じる（寄生pnバイポーラによるDisturb）。つまり、ある記憶トランジスタのチャンネルボディに過剰に蓄積された多数キャリアが隣の記憶トランジスタに流れ込めば、隣の記憶トランジスタのデータ破壊を招くのである。

#### 【0047】

これに対して、第1実施形態の場合を図10で説明する。図10は、図2Aの第1実施形態において、データの書換え動作を説明するための断面の模式図である。そして、図10は図9の比較例と同じ動作をさせた状態である。第1実施形態では、隣り合うドレイン領域7どうしを絶縁分離する不純物領域分離領域11を備えている。このため、上記寄生バイポーラトランジスタが動作することはない。よって、隣の記憶トランジスタMT1のデータ破壊を防止できる。

#### 【0048】

なお、第1実施形態によれば、隣り合うソース領域9どうしも不純物領域分離領域11で絶縁分離されている。このため、ソース領域9をn型ベースとし、その両側のチャンネルボディ21をp型エミッタ、p型コレクタとする寄生バイポーラトランジスタが動作することはないので、データ破壊を防止できる。

#### 【0049】

隣り合うドレイン領域7（ソース領域9）が絶縁分離されていれば、寄生バイポーラトランジスタは動作しない。このため、不純物領域分離領域11は、トレンチ35に絶縁膜37が埋め込まれていない中空状態でもよい（つまり、トレンチ35が不純物領域分離領域11となる）。また、不純物領域分離領域11はトレンチ35の側面に絶縁膜を形成し、残りの空間を導電膜で埋めた構造でもよい。

#### 【0050】

さて、図1に示すように、第1実施形態は、不純物領域分離領域11の幅 $w_1$ を素子分離領域3の幅 $w_2$ より小さくして、セルアレイ1の微細化を図っている。例えば、素子分離領域3をSTI(Shallow Trench Isolation)技術で形成した場合、素子分離領域3の幅 $w_2$ はSTIで利用するトレンチの幅となる。この幅が最小加工寸法の場合、後の説明する製造方法を用いれば、不純物領域分離領域11の幅 $w_1$ を最小加工寸法より小さくできる。以上説明したように、第1実施形態によれば、データ破壊を防止しつつ微細化を図ることができる。最小加工寸法は、レジストの解像度、レジストを露光する光の波長等で決まり、半導体製造技術が進歩するに従い小さくなる。

#### 【0051】

効果5:

第1実施形態では、選択エピタキシャル層29どうし及びシリサイド31どうしが、不純物領域分離領域11で絶縁分離されている。これにより、寄生バイポーラトランジスタの動作防止効果を高めている。

#### 【0052】

しかし、不純物領域分離領域11を形成すれば、その分だけ、ドレイン領域7やソース領域9の面積が小さくなるため、これらの領域の抵抗が大きくなる。これに伴い記憶トランジスタMTの寄生抵抗が増大する。第1実施形態によれば、ドレイン領域7(ソース領域9)上に選択エピタキシャル層29及びシリサイド31を形成しているため、寄生抵抗の増大を抑制できる。以下、詳細に説明する。

#### 【0053】

シリサイドとシリコンの界面抵抗は比較的大きく、記憶トランジスタMTの全寄生抵抗に寄与する。第1実施形態において、選択エピタキシャル層29がサイドウォール39を利用して自己整合的に形成され、その上にさらにシリサイドが自己整合的に形成される。これにより、シリサイドとシリコンの界面の面積を大きくして界面抵抗を小さくしている。また、シリサイド31と選択エピタキシャル層29との界面におけるn型の不純物濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上にする事で界面抵抗を下げている。

#### 【0054】

また、シリコン層29がサイドウォール39を利用して自己整合的に形成されるため、電流経路に対するシリコン層29の断面積を大きくすることができる。さらに、n型の不純物濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上にする事で抵抗率を小さくしている。以上2点によりシリコン層29の抵抗を小さくできる。

#### 【0055】

特にエピタキシャル層29がなく、SOI膜厚が50nm以下と薄い場合には、高いドーズ量でn型不純物をイオン注入してしまうとSOI層全体がアモルファス化してしまう。このため、その後の熱工程によって単結晶とならずにポリシリコンとなり、抵抗が10倍以上に増大する。エピタキシャル層によってシリコン膜厚を厚くすれば、高いドーズ量でn型不純物をイオン注入してもシリコン層の低部に単結晶層が残るので、その後の熱工程により再結晶化する。このためシリコン層29を低抵抗とすることができる。

#### 【0056】

効果6:

第1実施形態によれば、記憶トランジスタMTのサイズを小型化できる。選択エピタキシャル層のない従来の構造において、pn接合での電界強度を弱めつつ、シリサイド31とシリコン層との界面抵抗を低くしようとした場合、サイドウォール39の厚みを厚くして、高濃度のn型の不純物がpn接合付近の濃度勾配に影響を及ぼさないようにする必要があった。第1実施形態によれば、pn接合の位置からサイドウォール39を隔てた位置に100nmの厚みを有するように選択エピタキシャル層が形成されているので、シリサイド31と選択エピタキシャル層29との界面におけるn型の不純物濃度を $1 \times 10^{20} / \text{cm}^3$ 以上にしてもpn接合付近の濃度勾配に影響を及ぼすことはない。これにより、サイドウォール39を薄くでき、記憶トランジスタMTのサイズを小型化できるのである。

## 【0057】

さらに、図2Aに示すように、第1実施形態では、隣り合うドレイン領域7どうしを跨ぐようにこれらの領域に共通接続されたドレインプラグDPを備え、隣り合うソース領域9どうしを跨ぐようにこれらの領域に共通接続されたソース線SLを備える。したがって、隣り合うドレイン領域7（ソース領域9）を不純物領域分離領域11で絶縁分離しても、隣り合うドレイン領域7（ソース領域9）はドレインプラグDP（ソース線SL）で共通接続されるので、記憶トランジスタMTのサイズを小型化できる。

## 【0058】

効果7:

図2Aに示すゲート電極25の側面や選択エピタキシャル層29の側面にシリサイドが形成されないようにするためには、サイドウォールとしてシリコン酸化膜よりもシリコン窒化膜の方がよい。一方、選択エピタキシャル層29の高さが大きくなると、ゲートとドレイン間及びゲートとソース間の寄生容量が増大する。この寄生容量を下げるには、シリコン酸化膜の方がシリコン窒化膜よりも誘電率が低いため、シリコン酸化膜の方がよい。そこで、第1実施形態では、サイドウォール39を、選択エピタキシャル層29（第2半導体層の一例）とゲート電極25の間に、シリコン窒化膜41、シリコン酸化膜43、シリコン窒化膜45がサンドイッチされた構造としている。つまり、選択エピタキシャル層29の側面にシリサイドが形成されないように、この側面にシリコン窒化膜41を形成する。同様に、ゲート電極25の側面にシリコン窒化膜45を形成する。そして、これらのシリコン窒化膜間に、シリコン酸化膜43を形成している。

## 【0059】

（半導体メモリ装置の製造方法）

第1実施形態に係る半導体メモリ装置の製造方法について、図11～図28を用いて説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面図である。これらの図で、A1-A2断面は図2Aと、B1-B2断面は図2Bと、C1-C2断面は図2Cと、それぞれ対応する。

## 【0060】

まず、STI(Shallow Trench Isolation)技術により素子分離領域3を形成する工程を説明する。この工程のA1-A2断面が図11、B1-B2断面が図12、C1-C2断面が図13である。SOI基板19を準備する。SOI基板19は、支持基板となるシリコン基板13、埋め込み酸化膜となるシリコン酸化層15（厚さ例えば150nm）、単結晶のp型のシリコン層17（厚さ例えば150nm）が積層された構造を有する。

## 【0061】

シリコン層17上にシリコン窒化膜81を堆積した後に、フォトリソグラフィによりレジストパターンを形成する。図29は、レジストパターンの平面図である。レジストパターンは、素子分離領域3（図1）のパターンに対応する開口部85と、素子形成領域5（図1）のパターンに対応するレジスト部83とを有する。レジストパターンをマスクにして、反応性イオンエッチングにより、シリコン窒化膜81およびシリコン層17を選択的に除去する。次いでレジストパターンを剥離する。これにより、開口部85下にトレンチ87（図12、図13）が形成される。開口部85及びトレンチ87の幅は素子分離領域3の幅w2と同じであり、最小加工寸法である。なお以下では最小加工寸法を150nmとして説明するが、これは技術の進歩に伴い縮小され、以下で用いられるその他の具体的な数値も縮小してゆく。

## 【0062】

熱酸化によりトレンチ87の側面に薄い熱酸化膜（図示せず）を形成する。そして、CVD(Chemical Vapor Deposition)により、素子分離領域3となるシリコン酸化膜を、トレンチ87が埋まるようにシリコン窒化膜81上に形成する。このシリコン酸化膜をドライエッチングにより、シリコン窒化膜81が露出するまでエッチバックする。エッチバックの代わりにCMP(Chemical Mechanical Polishing)を用いてもよい。シリコン窒化膜81を剥離すると、複数の素子分離領域3が隣と間隔を設けて形成される。

**【0063】**

素子分離領域3は、シリコン層17（第1半導体層の一例）よりも高さが大きい。素子分離領域3とシリコン層17との段差は、この段階で例えば100nmである。これは後の工程で形成する選択エピタキシャル層29（図2A）の最終的な高さと同じである。これにより、選択エピタキシャル層29を形成するとき、素子分離領域3を介して、隣り合う記憶トランジスタMT（図1）の選択エピタキシャル層29どうしがつながるのを防止している。

**【0064】**

次にゲート電極の形成工程を説明する。図14（A1-A2断面）、図15（B1-B2断面）及び図16（C1-C2断面）に示すように、シリコン層17を熱酸化する。これにより、複数の素子分離領域3で規定されるシリコン層17上の領域にゲート絶縁膜23（ゲート酸化膜）が形成される。ゲート絶縁膜23上に、CVDにより、ゲート電極25を含むワード線WLとなる厚さ150nm程度のポリシリコン膜を形成する。このポリシリコン膜上に、CVDにより、厚さ100nm～150nmのシリコン窒化膜89を形成する。

**【0065】**

フォトリソグラフィにより、ワード線WLのパターンであるレジストパターンを、シリコン窒化膜89上に形成する。このレジストパターンをマスクにして、上記ポリシリコン膜とシリコン窒化膜89の積層体を異方性エッチングする。これにより、ゲート電極25を含む複数のワード線WLが隣と間隔を設けて、複数の素子分離領域3と交差するように（図1）、ゲート絶縁膜23上に形成される。ワード線WLをこのようにパターンニングするのは、複数の記憶トランジスタMTをマトリクス状に配置するためである。ここまでの工程では、図2DのPMOSトランジスタPQやNMOSトランジスタNQのゲート電極はまだ形成されていない。

**【0066】**

図17（A1-A2断面）に示すように、CVDにより厚さ150nm程度のシリコン窒化膜91を、SOI基板19の全面にゲート電極25を覆うように形成する。

**【0067】**

そして、図18（A1-A2断面）に示すように、シリコン窒化膜91を異方性エッチングすることにより、ゲート電極25の側面にサイドウォール93（第1サイドウォールの一例）を形成する。このエッチングによりサイドウォール93間のゲート絶縁膜23も除去して、シリコン層17を露出させる。シリコン層17に、リン等のn型不純物をイオン注入して、図2Aのドレイン領域7やソース領域9となるn型不純物領域95をシリコン層17に形成する。n型不純物領域95は、シリコン層17の表面からシリコン酸化層15にまで延びている。

**【0068】**

図19A（A1-A2断面）および図19B（C1-C2断面）に示すように、サイドウォール93（第1サイドウォールの一例）が形成された状態で、弗酸によってシリコン層17表面の薄い酸化膜を除去したのち選択エピタキシャル成長により、ゲート電極25間のシリコン層17（第1半導体層の一例）上に、厚さ130nm程度のn型の選択エピタキシャル層29（第2半導体層の一例）を形成する。素子分離領域3は、例えばゲート絶縁膜23の形成工程の直前に行う弗酸エッチングや、サイドウォール93のオーバーエッチングや、選択エピタキシャル成長の直前に行う弗酸エッチング等で削られる。そのためこの段階でシリコン層17より例えば80nm高くなっている。つまりエピタキシャル層29の高さは素子分離領域3より50nm高くなる。選択エピタキシャル層は素子分離領域上で横方向にも成長するが、その長さは50nm以下であるから、例えば素子分離領域の幅w2が150nmである場合には、隣り合う記憶トランジスタMT（図1）の選択エピタキシャル層29どうしがつながることはない。このように選択エピタキシャル層が素子分離領域3上に乗り上げるように形成してもよい。

**【0069】**

このエピタキシャル成長の条件は、例えば次の通りである。まず表面のクリーニングを圧力 160 Torr、温度 850℃ の  $H_2$  雰囲気中で 3 分間行う。次に、圧力 10 Torr、温度 850℃ の  $SiH_2Cl_2$  と  $HCl$  と  $H_2$  の混合ガスを数分程度流す。 $SiH_2Cl_2$ 、 $HCl$ 、 $H_2$  の流量（フローレート）はそれぞれ、0.4 s l m、0.1 s l m、14.5 s l m である。

#### 【0070】

図 20 (A1-A2 断面) に示すように、サイドウォール 97 (第 2 サイドウォールの一例) となるシリコン窒化膜を、CVD により、SOI 基板 19 の全面に形成する。このシリコン窒化膜を異方性エッチングすることにより、サイドウォール 97 を、サイドウォール 93 の隣であって選択エピタキシャル層 29 上に形成する。ゲート電極 25 間に位置するサイドウォール 97 どうしの距離  $d_3$  (例えば 100 nm 以下) が、図 1 の素子分離領域 3 の幅  $w_2$  よりも小さくなるようにされている。サイドウォール 97 となるシリコン窒化膜を形成する際、このシリコン窒化膜の厚みを変えることにより、距離  $d_3$  の大きさを調整できる。サイドウォール 97 の形成にフォトリソグラフィを利用せず、異方性エッチングを利用しているので、距離  $d_3$  は最小加工寸法よりも小さくできる。

#### 【0071】

図 21 (A1-A2 断面) に示すように、レジストパターン 101 を SOI 基板 19 の全面に形成する。図 30 はこのパターン 101 の平面図である。レジストパターン 101 は、レジスト部 103 と開口部 105 からなる。開口部 105 はサイドウォール 97 間上に位置している。図 2D に示す論理回路が形成される領域では、レジストパターン 101 全体がレジスト部 103 である。

#### 【0072】

レジストパターン 101 及びサイドウォール 97 をマスクにして、異方性エッチングにより、選択エピタキシャル層 29 (第 2 半導体層の一例) 及びシリコン層 17 (第 1 半導体層の一例) を選択的に除去する。これにより、隣り合うドレイン領域となる一方領域 95a と他方領域 95b とが絶縁分離されるように及び隣り合うソース領域となる一方領域 95a と他方領域 95b とが絶縁分離されるように、トレンチ 35 が自己整合的に選択エピタキシャル層 29 及びシリコン層 17 に形成される。サイドウォール 97 をマスクにしているため、トレンチ 35 の幅  $w_1$  (つまり不純物領域分離領域 11 の幅  $w_1$ ) は、サイドウォール 97 どうしの距離  $d_3$  と同じになる。したがって、トレンチ 35 の幅  $w_1$  は素子分離領域 3 の幅  $w_2$  (図 1) よりも小さくなる。

#### 【0073】

次に、レジストパターン 101 を除去し、その後、熱リン酸処理により、シリコン窒化膜 89 及びサイドウォール 93、97 を剥離する。この状態が図 22 (A1-A2 断面) である。その後、リン等の n 型不純物をシリコン層 17 にイオン注入して、n 型の低濃度領域 27 を形成し、約 900℃ で RTA (Rapid Thermal Anneal) 処理をすることにより、ドレイン領域 7 及びソース領域 9 を完成する。ドレイン領域 7 とソース領域 9 で挟まれたシリコン層 17 が p 型のチャネルボディ 21 となる。

#### 【0074】

第 1 実施形態では、不純物領域分離領域となるトレンチ 35 形成後、ドレイン領域 7 及びソース領域 9 を完成しているが、トレンチ 35 の形成前にこれらの領域 7、9 を完成してもよい。例えば、図 14 において、シリコン窒化膜 89 をマスクとして、n 型不純物をシリコン層 17 にイオン注入して、低濃度の n 型不純物領域をシリコン層 17 に形成する。そして、図 18 の工程で n 型不純物領域 95 を形成することにより、ドレイン領域 7 及びソース領域 9 を完成するのである。

#### 【0075】

次の工程を図 23 及び図 24 で説明する。図 23 は A1-A2 断面である。図 24 は、半導体メモリ装置の形成領域 R1 と論理回路の形成領域 R2 との境界の断面図である。トレンチ 35 が埋まるように、SOI 基板 19 の全面に CVD により厚さ 30 nm 程度 (トレンチの幅  $w_1$  が 60 nm の場合) のシリコン窒化膜 107 を形成する。この膜 107 上



にレジストを形成する。このレジストを露光現像してレジストパターン109にする。レジストパターン109は、半導体メモリ装置の形成領域R1をレジスト部で覆い、論理回路の形成領域R2は開口部となっている。このパターン109をマスクとしてシリコン窒化膜107を異方性エッチングする。これにより、領域R2からはシリコン窒化膜107が除去される。レジストパターン109を剥離する。

#### 【0076】

そして、図25(A1-A2断面)及び図26(領域R1と領域R2との境界の断面)に示すように、論理回路を構成するトランジスタのゲート絶縁膜111、ゲート電極113及びエクステンション115を形成する。なお、図26の半導体メモリ装置の形成領域R1に、形成されているものはダミーパターンである。

#### 【0077】

次に、領域R1を開口し、領域R2を覆うレジストパターンをSOI基板19に形成する。このレジストパターンをマスクにして、図23に示すシリコン窒化膜107を異方性エッチングする。これにより、ゲート電極25の側面にシリコン窒化膜45、選択エピタキシャル層29の側面にシリコン窒化膜41が、それぞれ残る。シリコン窒化膜41とシリコン窒化膜45との間には隙間が生じている。また、この異方性エッチングにより、トレンチ35にシリコン窒化膜107(つまり絶縁膜37)が残される。不純物領域分離領域11は、トレンチ35と絶縁膜37とで構成される。

#### 【0078】

図27(A1-A2断面)及び図28(領域R1と領域R2との境界の断面)に示すように、SOI基板19の全面にシリコン酸化膜43をCVDにより形成し、この膜43をエッチバックする。これにより、シリコン窒化膜41、シリコン酸化膜43及びシリコン窒化膜45からなるサイドウォール39が完成する。なお、サイドウォール39は、シリコン酸化膜のみでもよいし、シリコン窒化膜のみでもよい。

#### 【0079】

そして、ゲート電極25や選択エピタキシャル層29に高濃度のn型不純物をイオン注入する。ドーズ量は $10^{15} \text{ cm}^{-2} \sim 10^{16} \text{ cm}^{-2}$ である。不純物を活性化するために、RTAをする。一方、論理回路の形成領域R2には、通常の方法を用いてトランジスタを形成する。

#### 【0080】

図2Aに示すように、弗酸によって選択エピタキシャル層29表面の薄い酸化膜を除去したのちSOI基板19の全面に高融点金属を形成する(例えば、スパッタリングによりコバルトを形成する)。熱処理することにより、選択エピタキシャル層29上にシリサイド31、ゲート電極25上にシリサイド33を、自己整合的に形成する。コバルトのシリサイド31、33を形成する場合、シリコンはシリサイド31、33の厚み程度必要となる。厚さ30nmのシリサイド31を形成すると、30nmの厚み分の選択エピタキシャル層29が消費される。したがって、厚さ100nmの選択エピタキシャル層29上に厚さ30nmのシリサイド31が形成された構造となる。選択エピタキシャル層が素子分離領域3上にある程度乗り上げるように形成されていないと、スパッタリングの直前に行う弗酸エッチングによりエピタキシャル層の上部の角が露出してしまい、シリサイドが低い位置に形成され接合リークが増大する。この問題を回避するために選択エピタキシャル層が素子分離領域3上に乗り上げるように形成するのである。また素子分離領域上に乗り上げるように形成する場合、ドレインプラグDPの下部53の位置ずれが発生しても確実に接続することができる、という効果もある。

#### 【0081】

そして、SOI基板19の全面に層間絶縁膜47を形成する。この膜47に、ドレイン領域7に接続するドレインプラグDPの下部53を埋め込み、ソース領域9に接続するソース線SLを埋め込む。次に、層間絶縁膜47上に層間絶縁膜55を形成する。この膜55に、下部53と接続するドレインプラグDPの上部59を埋め込む。最後に、層間絶縁膜55上にドレインプラグDPと接続するビット線BLを形成する。

**【0082】****[第2実施形態]****(半導体メモリ装置の構造)**

図31は、第2実施形態に係る半導体メモリ装置のセルアレイ1の一部の平面図であり、第1実施形態の図1と対応する。図32は、図31のA1-A2線に沿った断面図である。第2実施形態の構造が、第1実施形態のそれと異なる主な点は次の通りである。

**【0083】**

不純物領域分離領域11は、シリコン層17の底面から表面近傍までにかけて形成されている。したがって、不純物領域分離領域11は、選択エピタキシャル層29（第2半導体層の一例）及びシリサイド31には形成されていない。そして、隣り合うドレイン領域7（ソース領域9）上の選択エピタキシャル層29どうし及びシリサイド31どうしは、つながっている。

**【0084】**

第2実施形態によれば、選択エピタキシャル層29どうし及びシリサイド31どうしがつながっているので、これらの面積を大きくできる。シリサイド31とシリコンである選択エピタキシャル層29との界面抵抗は比較的大きいので、第2実施形態のように、これらの接触面積を大きくすることで、寄生抵抗を小さくできる。

**【0085】**

第2実施形態では、不純物領域分離領域11がシリコン層17の底面から表面近傍までにかけて形成されている。このため、不純物領域分離領域11は、STIと同様の構造となるため、隣り合う記憶トランジスタMTのチャネルボディ21どうしを電氣的に分離できる。したがって、第1実施形態で説明した寄生バイポーラトランジスタが動作するのを防止できるので、記憶トランジスタMTのデータ破壊を防ぐことができる。

**【0086】**

第2実施形態のソース線SLは、ソースプラグSPを介してソース領域9に接続されている。詳細に説明すると、層間絶縁膜47のスルーホール51にソースプラグSPが埋め込まれている。このプラグSPがソース領域9上のシリサイド31とコンタクトしている。ソース線SLは、層間絶縁膜55のトレンチ117に埋め込まれており、ソースプラグSPとコンタクトしている。

**【0087】**

なお、ソース線SLの形成層が1層上になったことに伴い、ビット線BLの形成層も1層上になる。したがって、層間絶縁膜55には、ドレインプラグDPの下部53とコンタクトする中間部119が埋め込まれている。層間絶縁膜55上には、中間部119とコンタクトするドレインプラグDPの上部121が埋め込まれた層間絶縁膜123が形成されている。層間絶縁膜123上には上部121とコンタクトするビット線BLが形成されている。

**【0088】****(半導体メモリ装置の製造方法)**

図33～図41を用いて第2実施形態に係る半導体メモリ装置の製造方法を説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面（A1-A2断面）図である。まず、第1実施形態と同様に素子分離領域3（図12及び図13）を形成する。

**【0089】**

次に、第1実施形態で説明した図14の工程後、図33に示すように、CVDにより、厚さ15nm程度のシリコン窒化膜125、サイドウォール127（第1サイドウォールの一例）となる厚さ200nmのTEOS(Tetraethylorthosilicate)膜を、順にSOI基板19の全面に形成する。このTEOS膜を異方性エッチングすることにより、ゲート電極25間に位置するサイドウォール127どうしの距離d3が素子分離領域3（図31）の幅w2よりも小さくなるように、ゲート電極25の側面にサイドウォール127を形成する。サイドウォール127どうしの距離は、例えば100nm以下である。

**【0090】**

図34に示すように、図21のレジストパターン101をSOI基板19上に形成する。レジストパターン101及びサイドウォール127をマスクにして、サイドウォール127間のシリコン窒化膜125及びゲート絶縁膜23をエッチングして、シリコン層17の表面を露出させる。そして、レジストパターン101及びサイドウォール127をマスクにして、異方性エッチングにより、シリコン層17（第1半導体層の一例）を選択的に除去する。これにより、隣り合うドレイン領域となる一方領域17aと他方領域17bとが絶縁分離されるように及び隣り合うソース領域となる一方領域17aと他方領域17bとが絶縁分離されるように、トレンチ35が自己整合的にシリコン層17に形成される。

#### 【0091】

トレンチ35の幅w1（つまり不純物領域分離領域11の幅w1）は、サイドウォール127どうしの距離d3と同じなので、トレンチ35の幅w1は素子分離領域3の幅w2（図31）よりも小さくなる。そして、レジストパターン101を除去した後、蒸気状弗酸処理により、サイドウォール127を除去する。この状態が図35である。

#### 【0092】

図36に示すように、厚さ150nm程度のシリコン窒化膜129を、トレンチ35が埋まるように、SOI基板19の全面にCVDにより形成する。そして、図37に示すように、シリコン窒化膜129を異方性エッチングすることにより、ゲート電極25の側面にサイドウォール131（第2サイドウォールの一例）を形成する。ゲート電極25間に位置するサイドウォール131どうしの距離d3がトレンチ35の幅w1よりも大きくされている。このエッチングにより、トレンチ35に絶縁膜37（シリコン窒化膜129）が埋め込まれた不純物領域分離領域11が形成される。

#### 【0093】

図38に示すように、シリコン層17にn型不純物をイオン注入することにより、ドレイン領域及びソース領域となる低濃度のn型不純物領域95を形成する。そして、サイドウォール131が形成された状態で、第1実施形態と同様にして（図19A）、選択エピタキシャル成長により、ゲート電極25間のシリコン層17上に選択エピタキシャル層29を形成する。このエピタキシャル成長は、トレンチ35にシリコン窒化膜からなる絶縁膜37が埋め込まれた状態で行う。シリコン層17をシードとして成長するエピタキシャル層は、シリコン窒化膜の方がシリコン酸化膜よりも横方向に延びやすい。このため、不純物領域分離領域11で分離されたシリコン層17からそれぞれ成長する選択エピタキシャル層29はつながった状態にすることができる。

#### 【0094】

その後、熱リン酸処理により、シリコン窒化膜89、125及びサイドウォール131を剥離する（図39）。そして、図40に示すように、シリコン層17にn型の低濃度領域27を形成し、ドレイン領域7及びソース領域9を完成する。これら領域7、9の形成工程は、第1実施形態の図22と同様である。ゲート電極25と選択エピタキシャル層29との間に隙間が形成されるように、厚さ30nm程度のシリコン窒化膜133を、CVDによりSOI基板19の全面に形成する。この隙間が埋まるように、CVDによりシリコン酸化膜43をSOI基板19の全面に形成する。

#### 【0095】

図41に示すように、図40のシリコン酸化膜43及びシリコン窒化膜133をエッチバックして、サイドウォール39をゲート電極25の側面に形成する。シリコン窒化膜133（図40）のうち、選択エピタキシャル層29の側面に位置するものがシリコン窒化膜41であり、ゲート電極25の側面に位置するものがシリコン窒化膜45である。

#### 【0096】

第1実施形態の図27の工程と同様にして、ゲート電極25や選択エピタキシャル層29に高濃度のn型不純物をイオン注入し、不純物を活性化するために、RTAをする。後の工程は第1実施形態と同様である。

#### 【0097】

[第3実施形態]

第3実施形態は、第2実施形態と同様に、図32に示すような、絶縁分離された隣り合うドレイン領域7（ソース領域9）上の選択エピタキシャル層29及びシリサイド31をつなぐ構造を作製する方法である。第3実施形態が第2実施形態と相違する主な点は、ゲート電極25のパターニングと不純物領域分離領域11となるトレンチ35の形成とを同時にしている。

#### 【0098】

以下、第3実施形態に係る製造方法について、図42～図46を用いて説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面（A1-A2断面）図である。まず、第1実施形態と同様に素子分離領域3（図12及び図13）を形成する。そして、レジストパターン81を剥離する。

#### 【0099】

次に、図42に示すように、シリコン層17上に熱酸化によりゲート絶縁膜23を形成する。ゲート絶縁膜23上にCVDにより、順に、ゲート電極となるポリシリコン膜135（第3半導体層の一例）、シリコン窒化膜137を形成する。そして、フォトリソグラフィと異方性エッチングにより、シリコン窒化膜137をパターニングする。シリコン窒化膜137はトレンチ及びゲート電極の形成領域上に残っている。そして、SOI基板19の全面にシリコン酸化膜139を形成した後、この膜139を、シリコン窒化膜137が露出するまでエッチバックする。

#### 【0100】

図43に示すように、ゲート電極が形成される領域上に位置するシリコン窒化膜137を覆うレジストパターン141を形成する。このパターン141をマスクにして、トレンチ形成領域上に位置するシリコン窒化膜137を除去する。

#### 【0101】

続けてパターン141及びシリコン酸化膜139をマスクにして、図44に示すように、ポリシリコン膜135を選択的に除去して、ポリシリコン膜135にトレンチ143（第1トレンチの一例）を形成する。トレンチ143の幅は、素子分離領域3の幅 $w_2$ （図31）より小さい。トレンチ143は、隣り合うドレイン領域となる一方領域17aと他方領域17bとの境界上及び隣り合うソース領域となる一方領域17aと他方領域17bとの境界上に、それぞれ形成されている。

#### 【0102】

レジストパターン141の剥離後、図45に示すように、異方性エッチングにより、シリコン酸化膜139及びトレンチ143の底にあるゲート絶縁膜23を除去する。そして、シリコン窒化膜137（ゲート電極のマスクパターンの一例）を利用して、トレンチ143を有するポリシリコン膜135及びシリコン層17を異方性エッチングにより選択的に除去する。

#### 【0103】

これにより、（1）隣り合うドレイン領域となる一方領域17aと他方領域17bとが絶縁分離されるように及び隣り合うソース領域となる一方領域17aと他方領域17bとが絶縁分離されるように、素子分離領域の幅よりも小さい幅を有するトレンチ35をシリコン層17に自己整合的に形成すると同時に（2）ポリシリコン膜135をパターニングしてゲート電極25を含む複数のワード線WLを隣と間隔を設けてゲート絶縁膜23上に形成する。後の工程は第2実施形態の図36以降の工程と同様である。

#### 【0104】

##### [第4実施形態]

##### （半導体メモリ装置の構造）

図47は、第4実施形態に係る半導体メモリ装置の断面（A1-A2断面）図である。第4実施形態は、ドレイン領域7（ソース領域9）と選択エピタキシャル層29との間に配置され、これらを接続するn型の選択エピタキシャル層145（半導体中間層の一例）を備えることを主な特徴とする。

#### 【0105】

チャンネルボディを薄くすることで、次の(1)、(2)の効果が生じる。(1)チャンネルボディとドレイン領域(ソース領域)との接合容量を小さくできるので、データ“0”とデータ“1”との信号差を大きくできる。これにより、誤ったデータ読出しを防止できる。(2)チャンネルボディとドレイン領域(ソース領域)との間のリーク電流が減少するため、データ保持時間を長くできる。以上のように、チャンネルボディを薄くすることで、メモリの性能を向上させることができる。

#### 【0106】

しかし、シリコン層17を薄くすると、ドレイン領域7やソース領域9の低濃度領域(LDD領域)27の抵抗が大きくなる。また第1実施形態の効果5で詳述したように、高濃度のn型不純物をイオン注入する場合、アモルファス化により高濃度領域の抵抗が増大する。第4実施形態は、選択エピタキシャル層145を備えるため、低濃度領域27はシリコン層17(例えば20nm)と選択エピタキシャル層145(例えば40nm)との二層で構成される。このため、低濃度領域27の厚みは、チャンネルボディ21(シリコン層17)の厚みよりも大きくなる。したがって、シリコン層17の厚みを小さくしつつ、低濃度領域27の抵抗を下げるができる。また高濃度領域も50nm以上の厚みを有するので抵抗を下げるができる。

#### 【0107】

第4実施形態のその他の構成の特徴を説明する。隣り合うドレイン領域7(ソース領域9)上の選択エピタキシャル層145どうしは、不純物領域分離領域11により分離されている。チャンネルボディ21に近い方から順に、ドレイン領域7(ソース領域9)の端部、選択エピタキシャル層145の端部、選択エピタキシャル層29の端部が並んでいる。選択エピタキシャル層145の端部はサイドウォール39の下に位置する。なお、第4実施形態のソース線SLやビット線BLの形成層は、図2Aに示す第1実施形態と同様である。

#### 【0108】

(半導体メモリ装置の製造方法)

図48～図53を用いて、第4実施形態に係る製造方法について説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面(A1-A2断面)図である。まず、SOI基板19を準備する。シリコン層17の厚みは20nmであり、シリコン酸化層15の厚みは150nmである。第1実施形態と同様にして、素子分離領域3(図12及び図13)及びゲート電極25を形成する。なお、第4実施形態では、素子分離領域3をシリコン層17(第1半導体層の一例)、選択エピタキシャル層145(半導体中間層の一例)及び選択エピタキシャル層29(第2半導体層の一例)の積層物よりも高くなるようにする。

#### 【0109】

図48に示すように、CVDによりゲート電極25を覆うようにSOI基板19の全面に厚さ10nmのシリコン窒化膜147を形成する。シリコン窒化膜147及びゲート絶縁膜23を異方性エッチングして、ゲート電極25間のシリコン層17を露出させる。そして、図49に示すように、選択エピタキシャル成長により、ゲート電極25間のシリコン層17上に厚さ40nmの選択エピタキシャル層145を形成する。層145の形成条件は、図19Aで説明した選択エピタキシャル層29と同様である。

#### 【0110】

図50に示すように、熱酸化により選択エピタキシャル層145の表面に厚さ20nmのシリコン酸化膜149を形成する。図33と同様にして、シリコン窒化膜125、サイドウォール127(第1サイドウォールの一例)を形成する。シリコン窒化膜125の厚みは20nmであり、サイドウォール127どうしの距離d3は、80nmである。

#### 【0111】

図51に示すように、図34のレジストパターン101及びサイドウォール127をマスクにして、サイドウォール127間のシリコン窒化膜125及びシリコン酸化膜149をエッチングして、選択エピタキシャル層145の表面を露出させる。さらに、レジスト

パターン101及びサイドウォール127をマスクにして、選択エピタキシャル層145（半導体中間層の一例）及びシリコン層17（第1半導体層の一例）を異方性エッチングすることにより、図34で説明したトレンチ35を形成する。距離 $d_3$ が80nmなので、トレンチ35の幅（不純物領域分離領域の幅 $w_1$ ）は80nmとなる。そして、図35と同様にして、レジストパターン101及びサイドウォール127を除去する。

#### 【0112】

そして、図52及び図53の工程を行う。図52の工程は図36と対応し、図53の工程は図37と対応する。但し、第4実施形態では、シリコン窒化膜129の厚みは60nmである。後の工程は図38以降の工程と同様である。

#### 【0113】

##### 〔第5実施形態〕

（半導体メモリ装置の構造）

第5実施形態に係る半導体メモリ装置の構造を図54で説明する。図54は、この実施形態に係る半導体メモリ装置の断面（A1-A2断面）図である。この実施形態は、選択エピタキシャル層29（第2半導体層の一例）の端部151がサイドウォール39の下まで延びている点を主な特徴とする。したがって、図32に示す、2層のエピタキシャル層を有する第2実施形態よりも界面の数が1つ少ないので、結晶性が向上し、接合リーク電流を低減することができる。また界面抵抗も低減される。

#### 【0114】

また、第5実施形態の不純物領域分離領域11は、トレンチ35の側面に絶縁膜37が形成されており、トレンチ35は絶縁膜37で埋まっていない構造である。この構造は、意図的というよりも、後で説明する第5実施形態の製造方法により不可避免的に生じるものである。トレンチ35が絶縁膜37で埋まっていなくても、不純物領域分離領域11として機能する。第5実施形態のその他の構造は図32に示す第2実施形態と同様である。

#### 【0115】

（半導体メモリ装置の製造方法）

図47に示す第4実施形態によれば、第5実施形態と同様に、選択エピタキシャル層145の端部がサイドウォール39下に位置する構造を実現している。つまり、第4実施形態の選択エピタキシャル層は、層145、29の2層構造である。この構造を実現するため、第4実施形態では選択エピタキシャル工程を2度行う必要がある。これに対して第5実施形態によれば、選択エピタキシャル工程が1度で済むので、製造コストを下げるができる。以下、第5実施形態の製造方法を詳細に説明する。

#### 【0116】

図55～図64を用いて、第5実施形態に係る製造方法について説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面図である。第2実施形態に係る製造方法を用いて図35に示す構造体を得る。

#### 【0117】

図55（A1-A2断面）及び図56（C1-C2断面）に示すように、CVDにより、厚さ5nmのシリコン窒化膜153をSOI基板19の全面に形成する。これにより、トレンチ35の側面にシリコン窒化膜153が形成されるが、トレンチ35はシリコン窒化膜153で完全に埋め込まれていない。

#### 【0118】

次に、図57（A1-A2断面）及び図58（C1-C2断面）に示すように、シリコン窒化膜153、125、ゲート絶縁膜23を異方性エッチングする。これにより、ゲート電極25の側面にシリコン窒化膜153、125が残り、トレンチ35の側面にシリコン窒化膜153が残り、素子分離領域3の側面にシリコン窒化膜153、125が残る。

#### 【0119】

そして、図59（A1-A2断面）及び図60（C1-C2断面）に示すように、ゲート電極25の側面にシリコン窒化膜125、153（第1絶縁膜の一例）が形成された状態の構造に対し、ゲート電極25を覆うように、シリコン層17の全面にCVDにより、

厚さ 30 nm の TEOS 膜 157 (第 2 絶縁膜の一例) を形成する。次に、TEOS 膜 157 の上にサイドウォール 159 となる厚さ 50 nm のシリコン窒化膜を CVD により形成する。このシリコン窒化膜を異方性エッチングする。これにより、ゲート電極 25 間に位置するサイドウォール 159 (第 2 サイドウォールの一例) どうしの距離  $d_3$  がトレンチ 35 (つまり不純物領域分離領域の幅  $w_1$ ) の幅よりも大きくなるように、シリコン窒化膜 125, 153 及び TEOS 膜 157 を介して、ゲート電極 25 の側面に面するサイドウォール 159 を TEOS 膜 157 上に形成する。

#### 【0120】

その後、図 61 (A1-A2 断面) 及び図 62 (C1-C2 断面) に示すように、ゲート電極 25 の下部のシリコン窒化膜 153 に到達するまで、TEOS 膜 157 を弗酸によりエッチングする。これにより、サイドウォール 159 下の TEOS 膜 157 を除去する。弗酸は、TEOS 膜のエッチングレートが熱酸化膜のそれよりも大きいため、熱酸化で形成されたゲート絶縁膜 23 を残しつつ、TEOS 膜 157 を除去できる。

#### 【0121】

このエッチングにより、トレンチ 35 内の TEOS 膜 157 も弗酸に浸されるため除去される。TEOS 膜 157 がゲート電極 25 の下部のシリコン窒化膜 153 に到達すると、エッチングを止めるため、シリコン窒化膜 153 とサイドウォール 159 との間にある TEOS 膜 157 の一部は残る。

#### 【0122】

次に、図 63 (A1-A2 断面) 及び図 64 (C1-C2 断面) に示すように、第 1 実施形態で説明した選択エピタキシャル成長により、サイドウォール 159 間のシリコン層 17 上に、選択エピタキシャル層 29 を形成する。サイドウォール 159 及び TEOS 膜 157 とシリコン層 17 との間に隙間が形成されているので、サイドウォール 159 及び TEOS 膜 157 の下のシリコン層 17 上にも、選択エピタキシャル層 29 が形成される。

#### 【0123】

なお、図 64 に示すように、素子分離領域 3 の側面にシリコン窒化膜 (シリコン窒化膜 125, 153) の薄いサイドウォールが残されている。したがって、この選択エピタキシャル工程で、シリコンがシリコン窒化膜のサイドウォールに沿って (接して) 成長し、上面が平らな選択エピタキシャル層 29 を形成することができる。この結果、選択エピタキシャル層 29 とこの上のシリサイドとの接触面積を大きくできるため、この部分の抵抗を下げることができる。

#### 【0124】

選択エピタキシャル層 29 形成後、第 2 実施形態の図 39 の工程と同様にして、サイドウォール 159、TEOS 膜 157 及びシリコン窒化膜 89, 125, 153 を除去する。その後の工程は、第 2 実施形態の図 39 以降の工程と同様である。

#### 【0125】

以上説明したように、第 5 実施形態の製造方法によれば、図 54 に示すような、サイドウォール 39 間に位置する部分とサイドウォール 39 下に位置する部分 (端部 151) とを有する選択エピタキシャル層 29 を、1 度の選択エピタキシャル成長により形成できる。このため、製造コストを下げることができる。

#### 【0126】

なお、不純物領域分離領域 11 を形成しない場合、図 14 に示したゲートの形成後、図 55 のシリコン窒化膜 153 の形成工程につなげればよい。

#### 【0127】

以上説明した発明を実施するための最良の形態の構成について要約すると、次のようになる。

(1) 基板と、

絶縁層により前記基板と絶縁分離された第 1 導電型の単結晶構造を有する第 1 半導体層と、

ワード線に接続されたゲート電極と、前記第1半導体層に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記第1半導体層に設けられた第1導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、

前記複数の記憶トランジスタのうち前記ゲート電極が前記ワード線で共通接続された記憶トランジスタどうしを絶縁分離する素子分離領域と、

隣り合う前記ドレイン領域どうし及び隣り合う前記ソース領域どうしを絶縁分離すると共に前記素子分離領域の幅よりも小さい幅を有する不純物領域分離領域と、を備える、

ことを特徴とする半導体メモリ装置。

【0128】

(2) 前記ゲート電極の側面に設けられたサイドウォールと、

前記サイドウォールの配置位置まで延びるように前記不純物領域上に設けられたシリサイドと、

前記ドレイン領域に接続されると共に金属材料のみから構成されるドレインプラグと、を備える、

ことを特徴とする(1)に記載の半導体メモリ装置。

【0129】

(3) 前記ドレインプラグは隣り合う前記ドレイン領域どうしを跨ぐようにこれらの領域に共通接続されている、

ことを特徴とする(2)に記載の半導体メモリ装置。

【0130】

(4) 前記ゲート電極の側面に設けられたサイドウォールと、

前記サイドウォールの配置位置まで延びるように前記不純物領域上に接して形成された第2導電型の第2半導体層と、を備える、

ことを特徴とする(1)に記載の半導体メモリ装置。

【0131】

(5) 第2導電型の不純物濃度は、前記第2半導体層の方が前記不純物領域よりも高い、

ことを特徴とする(4)に記載の半導体メモリ装置。

【0132】

(6) 前記ゲート電極の側面に設けられたサイドウォールと、

前記サイドウォールの配置位置まで延びるように前記不純物領域上に接して形成された第2導電型の第2半導体層と、

前記第2半導体層上に設けられたシリサイドと、

前記シリサイドに接続されると共に金属材料のみから構成されるドレインプラグと、を備える、

ことを特徴とする(1)に記載の半導体メモリ装置。

【0133】

(7) 隣り合う前記ドレイン領域上の前記第2半導体層どうし及び前記シリサイドどうしはつながっており、隣り合う前記ソース領域上の前記第2半導体層どうし及び前記シリサイドどうしはつながっている、

ことを特徴とする(6)に記載の半導体メモリ装置。

【0134】

(8) 基板と、

絶縁層により前記基板と絶縁分離された第1導電型の単結晶構造を有する第1半導体層と、

ワード線に接続されたゲート電極と、前記第1半導体層に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記第1半導体層に設けられた第1導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、

前記ゲート電極の側面に設けられたサイドウォールと、



前記サイドウォールの配置位置まで延びるように前記不純物領域上に接して形成された第2導電型の第2半導体層と、

を備えることを特徴とする半導体メモリ装置。

【0135】

(9) 前記複数の記憶トランジスタのうち前記ゲート電極が前記ワード線で共通接続された記憶トランジスタどうしを絶縁分離する素子分離領域を備え、

前記第2導電型の一对の不純物領域に隣接する前記素子分離領域は、前記第2導電型の一对の不純物領域よりも高さが大きい、

ことを特徴とする(8)に記載の半導体メモリ装置。

【0136】

(10) 前記第2半導体層上に設けられたシリサイドを備える、

ことを特徴とする(8)に記載の半導体メモリ装置。

【0137】

(11) 前記複数の記憶トランジスタのうち前記ゲート電極が前記ワード線で共通接続された記憶トランジスタどうしを絶縁分離する素子分離領域と、

前記第2半導体層上に接するように形成されると共に前記素子分離領域上に延びるように設けられたシリサイドと、を備える、

ことを特徴とする(8)に記載の半導体メモリ装置。

【0138】

(12) 前記複数の記憶トランジスタのうち前記ゲート電極が前記ワード線で共通接続された記憶トランジスタどうしを絶縁分離する素子分離領域と、

前記第2半導体層上に設けられたシリサイドと、を備え、

前記第2半導体層は前記素子分離領域上に延びている、

ことを特徴とする(8)に記載の半導体メモリ装置。

【0139】

(13) 前記サイドウォールは、前記第2半導体層と前記ゲート電極の間に、シリコン窒化膜、シリコン酸化膜、シリコン窒化膜がサンドイッチされた構造を有する、

ことを特徴とする(8)に記載の半導体メモリ装置。

【0140】

(14) 前記第2半導体層の端部は前記サイドウォールの下まで延びている、

ことを特徴とする(8)に記載の半導体メモリ装置。

【0141】

(15) ドレイン領域とソース領域で挟まれたチャネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタを含む半導体メモリ装置の製造方法であって、

絶縁層により基板と絶縁分離された第1導電型の単結晶構造を有すると共に前記ドレイン領域、前記ソース領域及び前記チャネルボディが形成される第1半導体層に、複数の素子分離領域を隣と間隔を設けて形成する工程と、

前記複数の素子分離領域で規定される前記第1半導体層上の領域にゲート絶縁膜を形成する工程と、

前記複数の記憶トランジスタをマトリクス状に配置するために、ゲート電極を含む複数のワード線を隣と間隔を設けて、前記複数の素子分離領域と交差するように前記ゲート絶縁膜上に形成する工程と、

前記ゲート電極間に位置するサイドウォールどうしの距離が前記素子分離領域の幅よりも小さくなるように、前記サイドウォールを前記ゲート電極の側面に形成する工程と、

前記サイドウォールをマスクにして前記第1半導体層を選択的に除去することにより、隣り合う前記ドレイン領域となる一方領域と他方領域とが絶縁分離されるように及び隣り合う前記ソース領域となる一方領域と他方領域とが絶縁分離されるように、前記素子分離領域の幅よりも小さい幅を有するトレンチを前記第1半導体層に自己整合的に形成する工程と、

前記第1半導体層に形成された前記ドレイン領域に接続するビット線及び前記ソース領域に接続するソース線を形成する工程と、を備える、  
ことを特徴とする半導体メモリ装置の製造方法。

【0142】

(16) 前記サイドウォールの形成工程及び前記トレンチの形成工程の替わりに、  
前記ゲート電極の側面に第1サイドウォールを形成する工程と、  
前記第1サイドウォールが形成された状態で、選択エピタキシャル成長により、前記ゲート電極間の前記第1半導体層上に第2半導体層を形成する工程と、  
前記ゲート電極間に位置する第2サイドウォールどうしの距離が前記素子分離領域の幅よりも小さくなるように、前記第2サイドウォールを前記第1サイドウォールの隣であって前記第2半導体層上に形成する工程と、  
前記第2サイドウォールをマスクにして前記第2半導体層及び前記第1半導体層を選択的に除去することにより、隣り合う前記ドレイン領域となる一方領域と他方領域とが絶縁分離されるように及び隣り合う前記ソース領域となる一方領域と他方領域とが絶縁分離されるように、前記素子分離領域の幅よりも小さい幅を有するトレンチを、前記第2半導体層及び前記第1半導体層に自己整合的に形成する工程と、を備える、  
ことを特徴とする(15)に記載の半導体メモリ装置の製造方法。

【0143】

(17) 前記サイドウォールの形成工程及び前記トレンチの形成工程の替わりに、  
前記ゲート電極間に位置する第1サイドウォールどうしの距離が前記素子分離領域の幅よりも小さくなるように、前記ゲート電極の側面に前記第1サイドウォールを形成する工程と、  
前記第1サイドウォールをマスクにして前記第1半導体層を選択的に除去することにより、隣り合う前記ドレイン領域となる一方領域と他方領域とが絶縁分離されるように及び隣り合う前記ソース領域となる一方領域と他方領域とが絶縁分離されるように、前記素子分離領域の幅よりも小さい幅を有するトレンチを前記第1半導体層に自己整合的に形成する工程と、  
前記ゲート電極間に位置する第2サイドウォールどうしの距離が前記トレンチの幅よりも大きくなるように、前記ゲート電極の側面に前記第2サイドウォールを形成する工程と、  
前記第2サイドウォールが形成された状態で、選択エピタキシャル成長により、前記ゲート電極間の前記第1半導体層上に第2半導体層を形成する工程と、を備える、  
ことを特徴とする(15)に記載の半導体メモリ装置の製造方法。

【0144】

(18) 前記第2半導体層の形成工程は、前記トレンチにシリコン窒化膜が埋め込まれた状態で行う、  
ことを特徴とする(17)に記載の半導体メモリ装置の製造方法。

【0145】

(19) ドレイン領域とソース領域で挟まれたチャネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタを含む半導体メモリ装置の製造方法であって、  
絶縁層により基板と絶縁分離された第1導電型の単結晶構造を有すると共に前記ドレイン領域、前記ソース領域及び前記チャネルボディが形成される第1半導体層に、複数の素子分離領域を隣と間隔を設けて形成する工程と、  
前記複数の素子分離領域で規定される前記第1半導体層上の領域にゲート絶縁膜を形成する工程と、  
前記複数の記憶トランジスタをマトリクス状に配置するために、ゲート電極を含む複数のワード線を隣と間隔を設けて、前記複数の素子分離領域と交差するように前記ゲート絶縁膜上に形成する工程と、  
前記ゲート電極の側面にサイドウォールを形成する工程と、

前記サイドウォールが形成された状態で、選択エピタキシャル成長により、前記ゲート電極間の前記第 1 半導体層上に第 2 半導体層を形成する工程と、

前記第 1 半導体層に形成された前記ドレイン領域に前記第 2 半導体層を介して接続するビット線及び前記第 1 半導体層に形成された前記ソース領域に前記第 2 半導体層を介して接続するソース線を形成する工程と、を備える、

ことを特徴とする半導体メモリ装置の製造方法。

【0146】

(20) 前記サイドウォールの形成工程は、

前記ゲート電極の側面に第 1 絶縁膜が形成された前記ゲート電極を覆うように前記第 1 半導体層の全面に前記第 1 絶縁膜と異なる材料の第 2 絶縁膜を形成する工程と、

前記第 1 及び第 2 絶縁膜を介して前記ゲート電極の側面に面する前記サイドウォールを前記第 2 絶縁膜上に形成する工程と、

前記サイドウォール下の前記第 2 絶縁膜を除去する工程と、

を含み、

前記第 2 半導体層の形成工程は、選択エピタキシャル成長により、前記サイドウォール間の前記第 1 半導体層上及び前記サイドウォール下の前記第 1 半導体層上に前記第 2 半導体層を形成する、

ことを特徴とする (19) に記載の半導体メモリ装置の製造方法。

【図面の簡単な説明】

【0147】

【図 1】 第 1 実施形態に係る半導体メモリ装置のセルアレイの一部の平面図である。

【図 2 A】 図 1 の A 1 - A 2 線に沿った断面図である。

【図 2 B】 図 1 の B 1 - B 2 線に沿った断面図である。

【図 2 C】 図 1 の C 1 - C 2 線に沿った断面図である。

【図 2 D】 第 1 実施形態に係る半導体メモリ装置と混載される論理回路の構成要素となるトランジスタの断面図である。

【図 3】 第 1 実施形態に係る記憶トランジスタの“1”書込み動作を説明するための図である。

【図 4】 同記憶トランジスタの“0”書込み動作を説明するための図である。

【図 5】 同記憶トランジスタの読出し動作を説明するための図である。

【図 6】 同記憶トランジスタの電圧-電流特性を示す図である。

【図 7】 比較例に係るセルアレイの一部の平面図である。

【図 8】 図 7 の A 1 - A 2 線に沿った断面図である。

【図 9】 比較例において、データの書換え動作を説明するための模式図である。

【図 10】 第 1 実施形態において、データの書換え動作を説明するための模式図である。

【図 11】 第 1 実施形態に係る半導体メモリ装置の製造方法の第 1 工程図 (A 1 - A 2 断面) である。

【図 12】 同第 1 工程図 (B 1 - B 2 断面) である。

【図 13】 同第 1 工程図 (C 1 - C 2 断面) である。

【図 14】 同第 2 工程図 (A 1 - A 2 断面) である。

【図 15】 同第 2 工程図 (B 1 - B 2 断面) である。

【図 16】 同第 2 工程図 (C 1 - C 2 断面) である。

【図 17】 同第 3 工程図 (A 1 - A 2 断面) である。

【図 18】 同第 4 工程図 (A 1 - A 2 断面) である。

【図 19 A】 同第 5 工程図 (A 1 - A 2 断面) である。

【図 19 B】 同第 5 工程図 (C 1 - C 2 断面) である。

【図 20】 同第 6 工程図 (A 1 - A 2 断面) である。

【図 21】 同第 7 工程図 (A 1 - A 2 断面) である。

【図 22】 同第 8 工程図 (A 1 - A 2 断面) である。

- 【図 2 3】 同第 9 工程図 (A 1 - A 2 断面) である。
- 【図 2 4】 同第 9 工程図 (境界断面) である。
- 【図 2 5】 同第 10 工程図 (A 1 - A 2 断面) である。
- 【図 2 6】 同第 10 工程図 (境界断面) である。
- 【図 2 7】 同第 11 工程図 (A 1 - A 2 断面) である。
- 【図 2 8】 同第 11 工程図 (境界断面) である。
- 【図 2 9】 同第 1 工程で用いるレジストパターンの平面図である。
- 【図 3 0】 図 2 1 のレジストパターンの平面図である。
- 【図 3 1】 第 2 実施形態に係る半導体メモリ装置のセルアレイの一部の平面図である。

- 【図 3 2】 図 3 1 の A 1 - A 2 線に沿った断面図である。
- 【図 3 3】 第 2 実施形態に係る半導体メモリ装置の製造方法の第 1 工程図である。
- 【図 3 4】 同第 2 工程図である。
- 【図 3 5】 同第 3 工程図である。
- 【図 3 6】 同第 4 工程図である。
- 【図 3 7】 同第 5 工程図である。
- 【図 3 8】 同第 6 工程図である。
- 【図 3 9】 同第 7 工程図である。
- 【図 4 0】 同第 8 工程図である。
- 【図 4 1】 同第 9 工程図である。
- 【図 4 2】 第 3 実施形態に係る半導体メモリ装置の製造方法の第 1 工程図である。
- 【図 4 3】 同第 2 工程図である。
- 【図 4 4】 同第 3 工程図である。
- 【図 4 5】 同第 4 工程図である。
- 【図 4 6】 同第 5 工程図である。
- 【図 4 7】 第 4 実施形態に係る半導体メモリ装置の断面 (A 1 - A 2 断面) 図である。

- 【図 4 8】 第 4 実施形態に係る半導体メモリ装置の製造方法の第 1 工程図である。
- 【図 4 9】 同第 2 工程図である。
- 【図 5 0】 同第 3 工程図である。
- 【図 5 1】 同第 4 工程図である。
- 【図 5 2】 同第 5 工程図である。
- 【図 5 3】 同第 6 工程図である。
- 【図 5 4】 第 5 実施形態に係る半導体メモリ装置の断面 (A 1 - A 2 断面) 図である。

- 【図 5 5】 第 5 実施形態に係る半導体メモリ装置の製造方法の第 1 工程図 (A 1 - A 2 断面) である。
- 【図 5 6】 同第 1 工程図 (C 1 - C 2 断面) である。
- 【図 5 7】 同第 2 工程図 (A 1 - A 2 断面) である。
- 【図 5 8】 同第 2 工程図 (C 1 - C 2 断面) である。
- 【図 5 9】 同第 3 工程図 (A 1 - A 2 断面) である。
- 【図 6 0】 同第 3 工程図 (C 1 - C 2 断面) である。
- 【図 6 1】 同第 4 工程図 (A 1 - A 2 断面) である。
- 【図 6 2】 同第 4 工程図 (C 1 - C 2 断面) である。
- 【図 6 3】 同第 5 工程図 (A 1 - A 2 断面) である。
- 【図 6 4】 同第 5 工程図 (C 1 - C 2 断面) である。

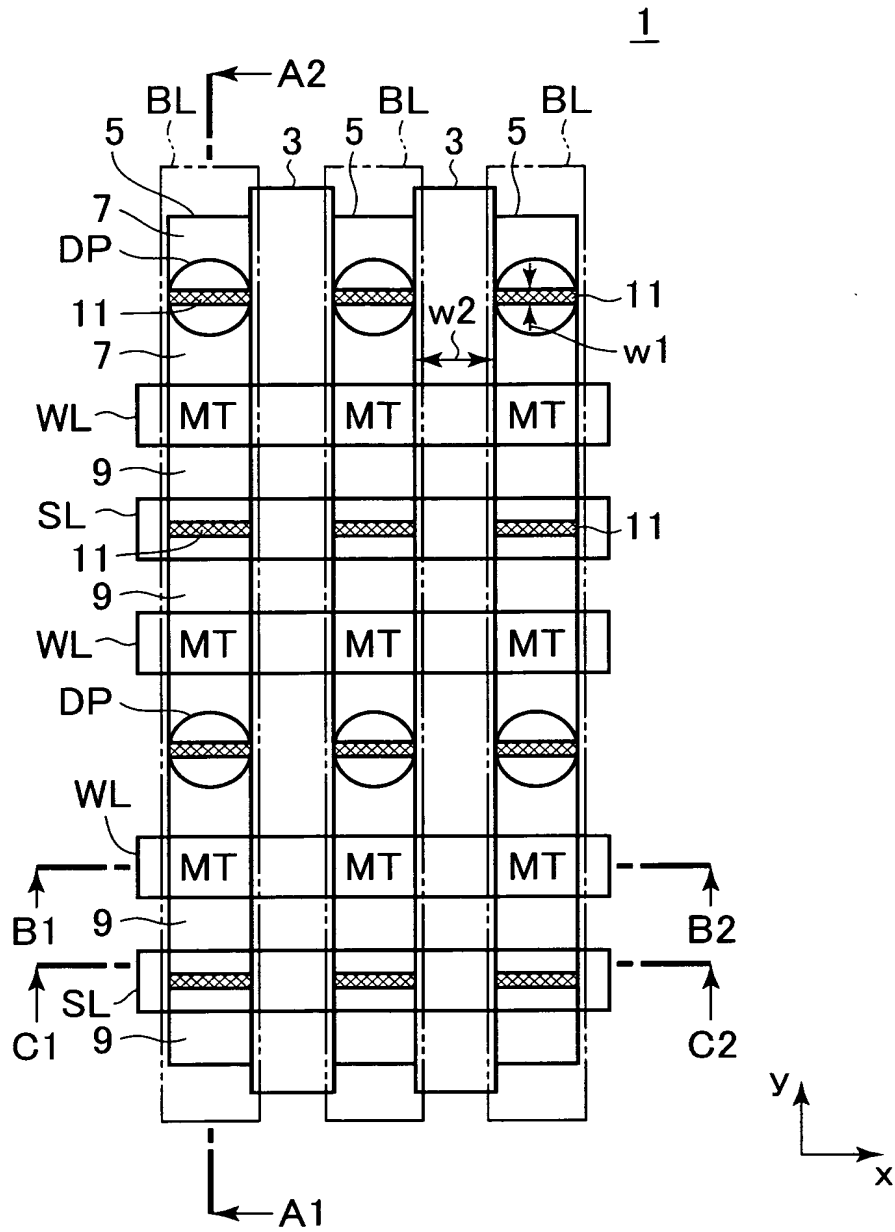
【符号の説明】

【0148】

1・・・セルアレイ、3・・・素子分離領域、5・・・素子形成領域、7・・・ドレイン領域、9・・・ソース領域、11・・・不純物領域分離領域、13・・・シリコン基板、

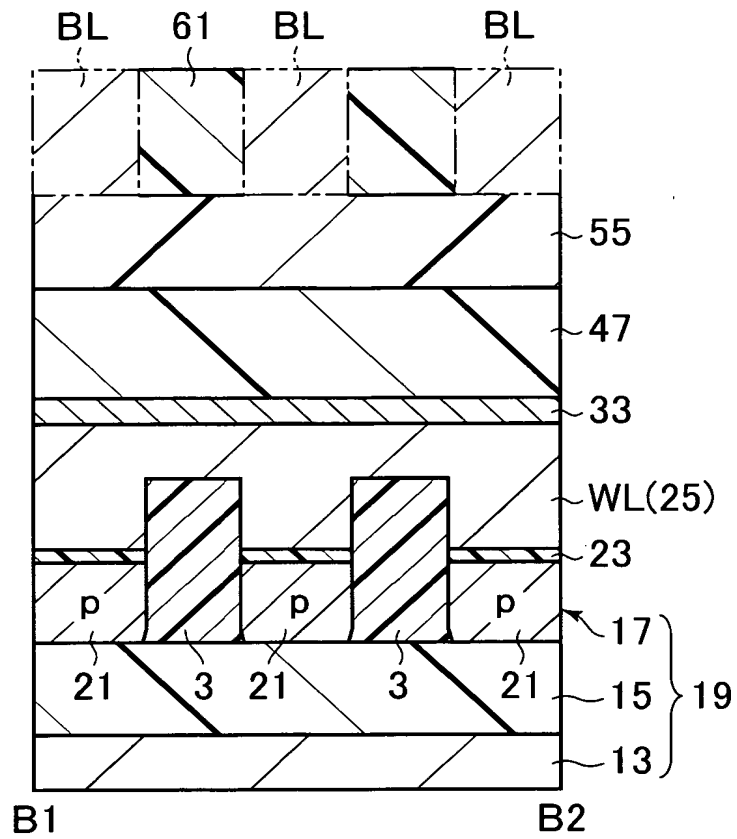
15・・・シリコン酸化層、17・・・シリコン層、17a・・・一方領域、17b・・・他方領域、19・・・SOI基板、21・・・チャネルボディ、23・・・ゲート絶縁膜、25・・・ゲート電極、27・・・低濃度領域、29・・・選択エピタキシャル層、31、33・・・シリサイド、35・・・トレンチ、37・・・絶縁膜、39・・・サイドウォール、41・・・シリコン窒化膜、43・・・シリコン酸化膜、45・・・シリコン窒化膜、47・・・層間絶縁膜、49・・・トレンチ、51・・・スルーホール、53・・・ドレインプラグの下部、55・・・層間絶縁膜、57・・・スルーホール、59・・・ドレインプラグの上部、61・・・層間絶縁膜、71・・・ドレインプラグの下部、73・・・シリサイド、75・・・層間絶縁膜、77・・・コンタクトホール、79・・・トレンチ、81・・・シリコン窒化膜、83・・・レジスト部、85・・・開口部、87・・・トレンチ、89、91・・・シリコン窒化膜、93・・・サイドウォール、95・・・n型不純物領域、95a・・・一方領域、95b・・・他方領域、97・・・サイドウォール、101・・・レジストパターン、103・・・レジスト部、105・・・開口部、107・・・シリコン窒化膜、109・・・レジストパターン、111・・・ゲート絶縁膜、113・・・ゲート電極、115・・・エクステンション、117・・・トレンチ、119・・・ドレインプラグの中間部、121・・・ドレインプラグの上部、123・・・層間絶縁膜、125・・・シリコン窒化膜、127・・・サイドウォール、129・・・シリコン窒化膜、131・・・サイドウォール、133・・・シリコン窒化膜、135・・・ポリシリコン膜、137・・・シリコン窒化膜、139・・・シリコン酸化膜、141・・・レジストパターン、143・・・トレンチ、145・・・選択エピタキシャル層、147・・・シリコン窒化膜、149・・・シリコン酸化膜、151・・・選択エピタキシャル層の端部、153・・・シリコン窒化膜、157・・・TEOS膜、159・・・サイドウォール、WL・・・ワード線、DP・・・ドレインプラグ、SP・・・ソースプラグ、MT・・・記憶トランジスタ、w1・・・不純物領域分離領域の幅、w2・・・素子分離領域の幅、PQ・・・PMOSトランジスタ、NQ・・・NMOSトランジスタ、d1・・・ドレインプラグの下部とゲート電極との距離、d2・・・ソース線とゲート電極との距離、c1・・・ドレインプラグの下部とシリサイドとの境界から低濃度領域までの電流経路、c2・・・ソース線とシリサイドとの境界から低濃度領域までの電流経路、d3・・・サイドウォールどうしの距離、R1・・・半導体メモリ装置の形成領域、R2・・・論理回路の形成領域

【書類名】 図面  
【図 1】



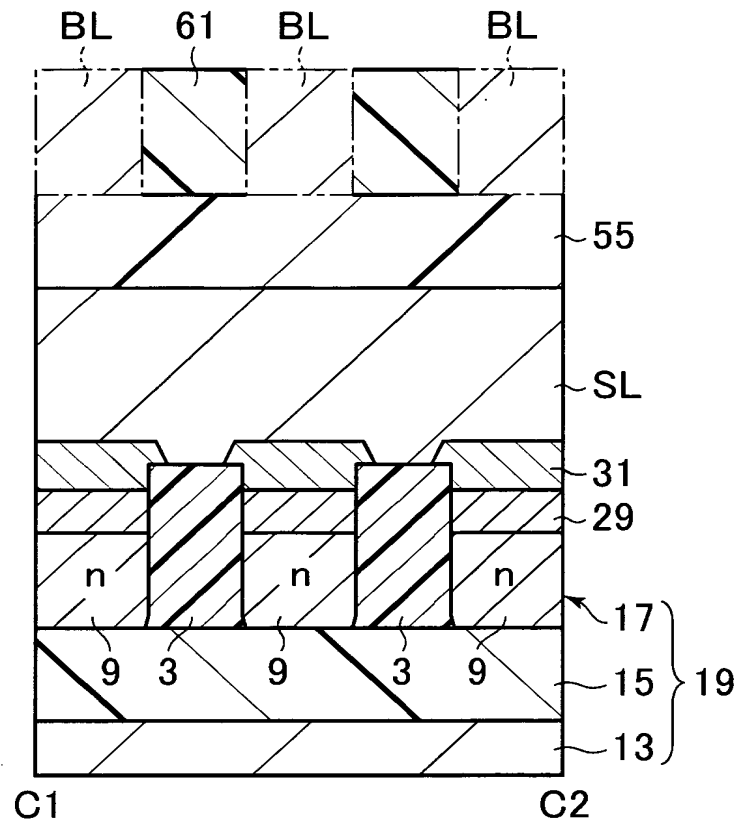


【図 2 B】



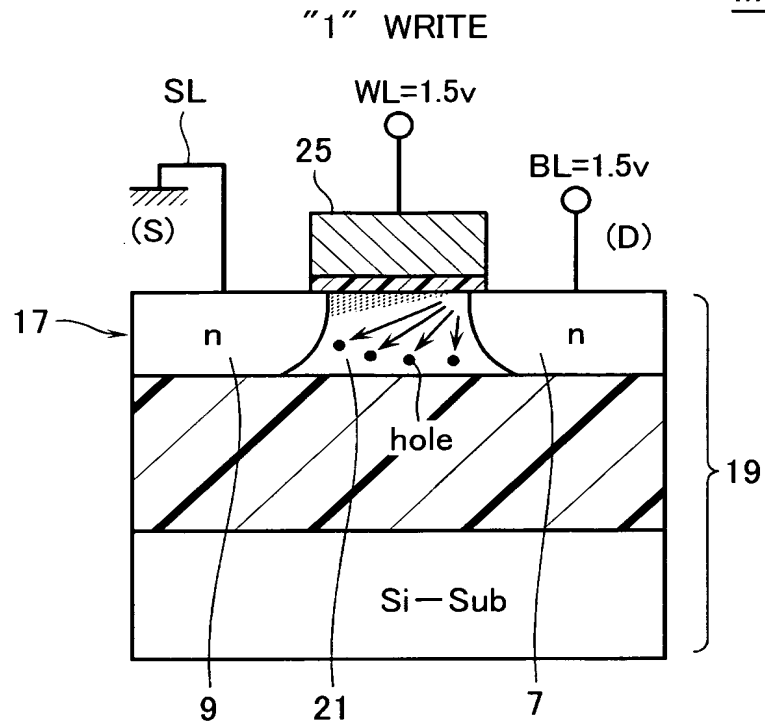


【図 2 C】



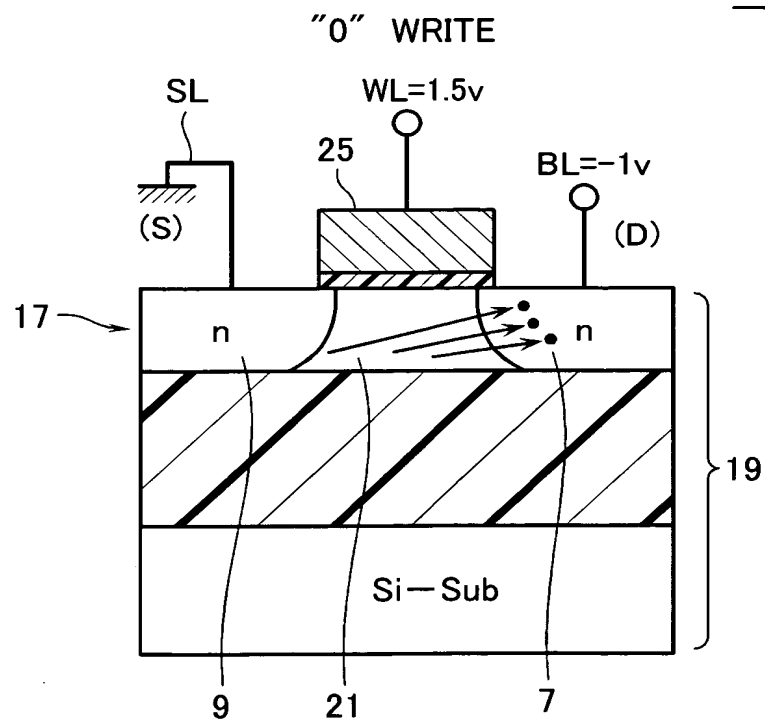


【図 3】

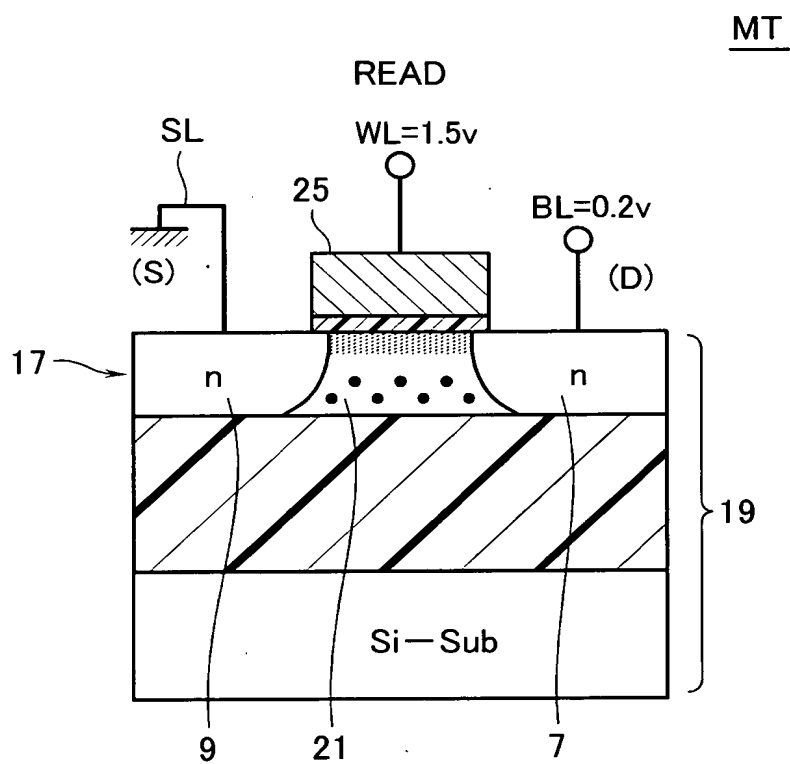
MT

【図 4】

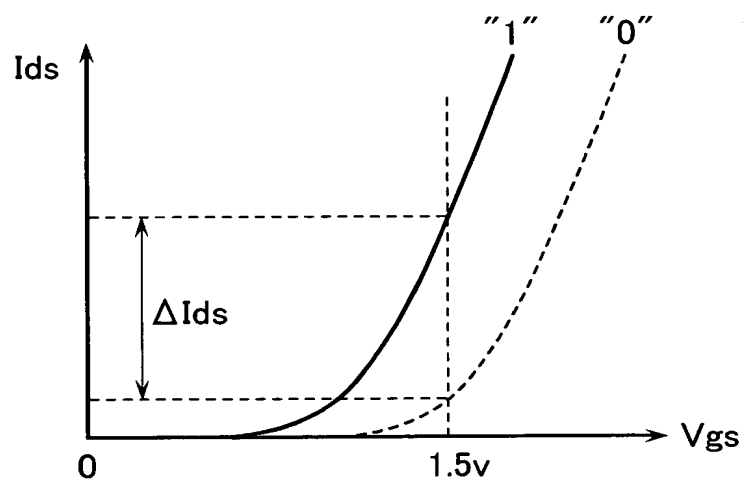
MT



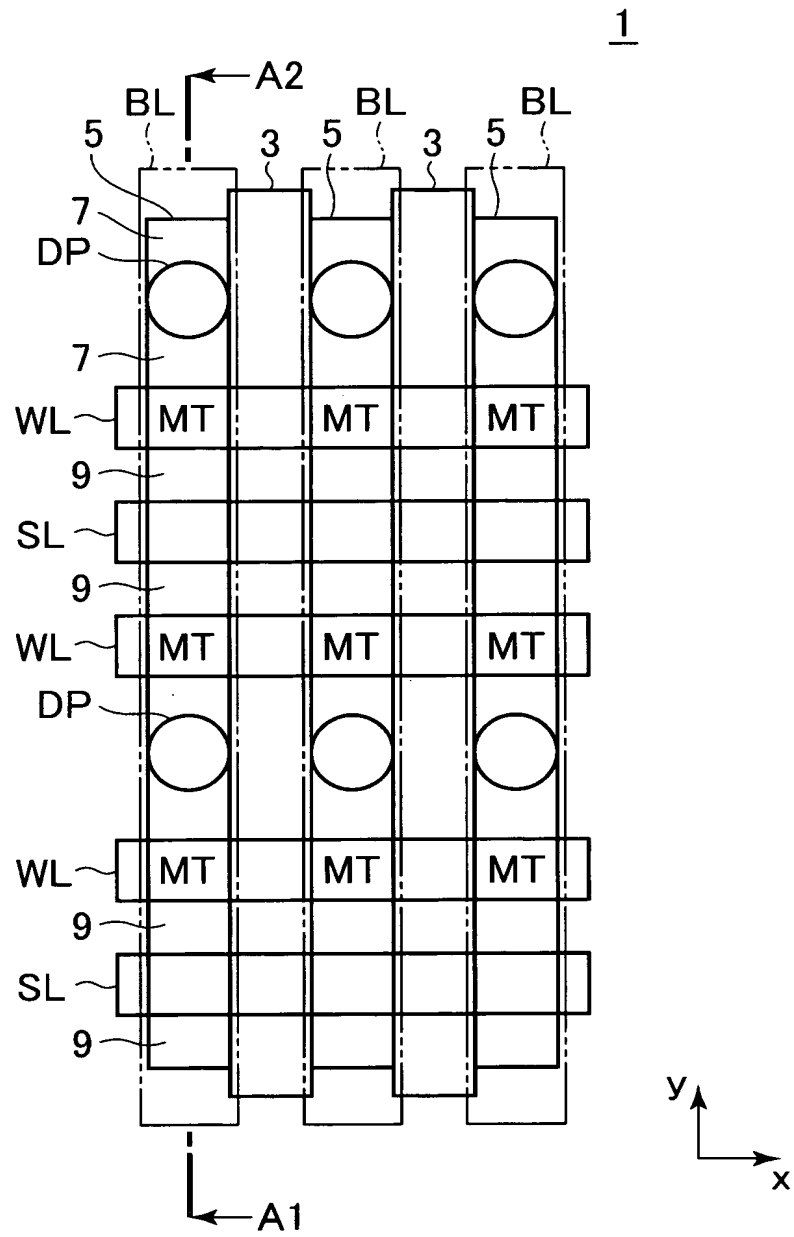
【図 5】



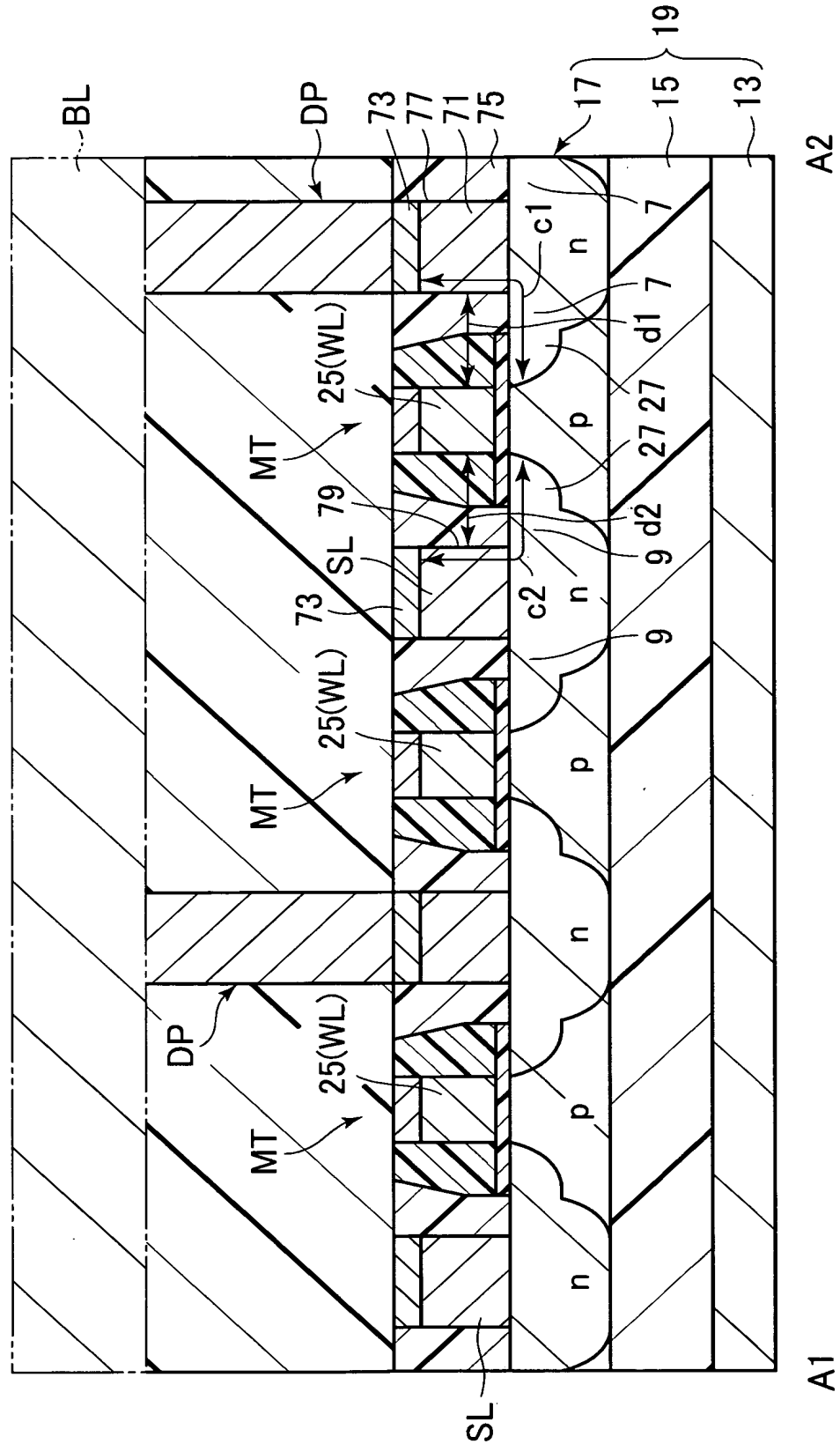
【図 6】



【図 7】

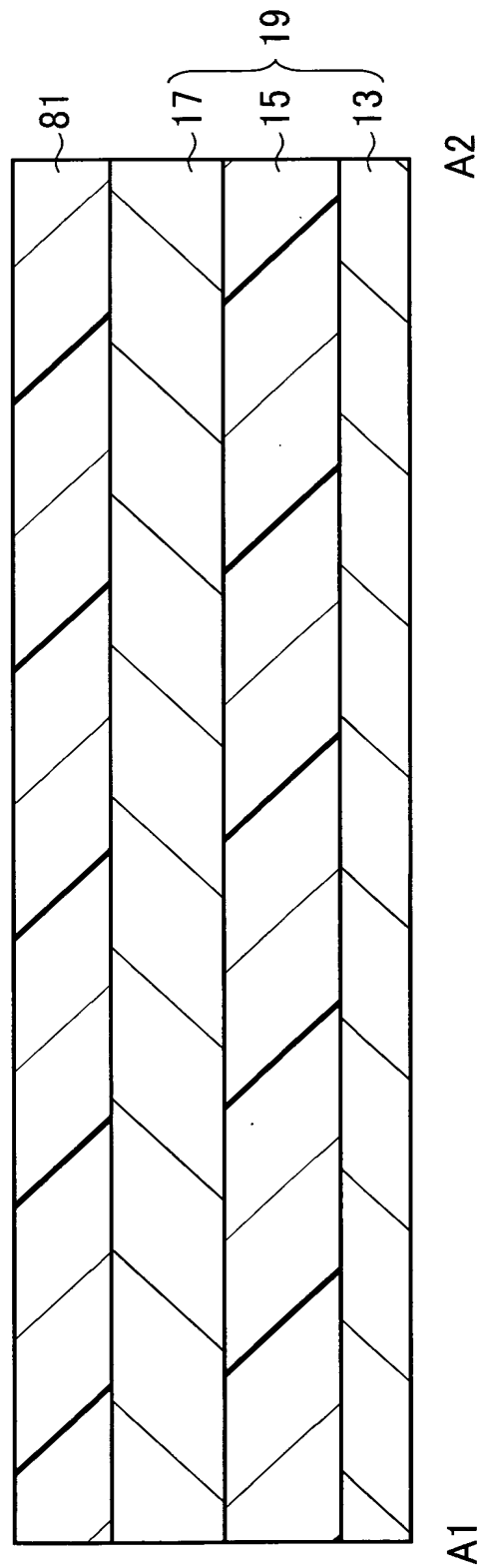


【図 8】



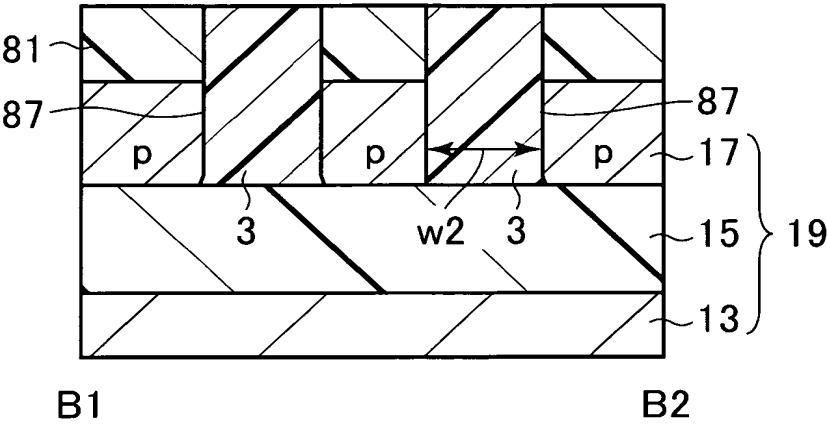


【図 11】

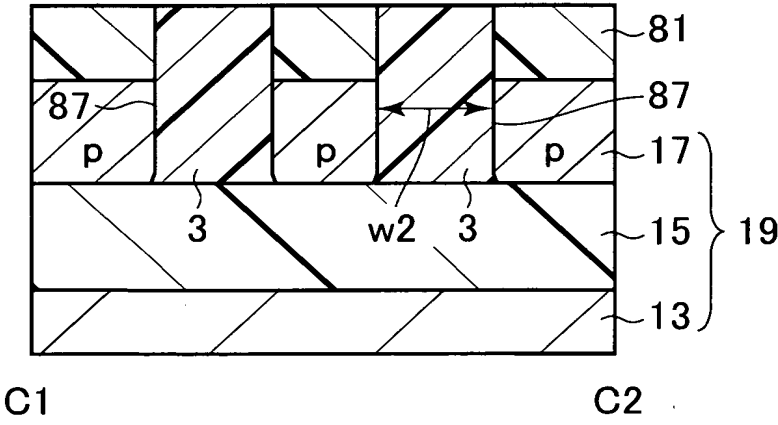




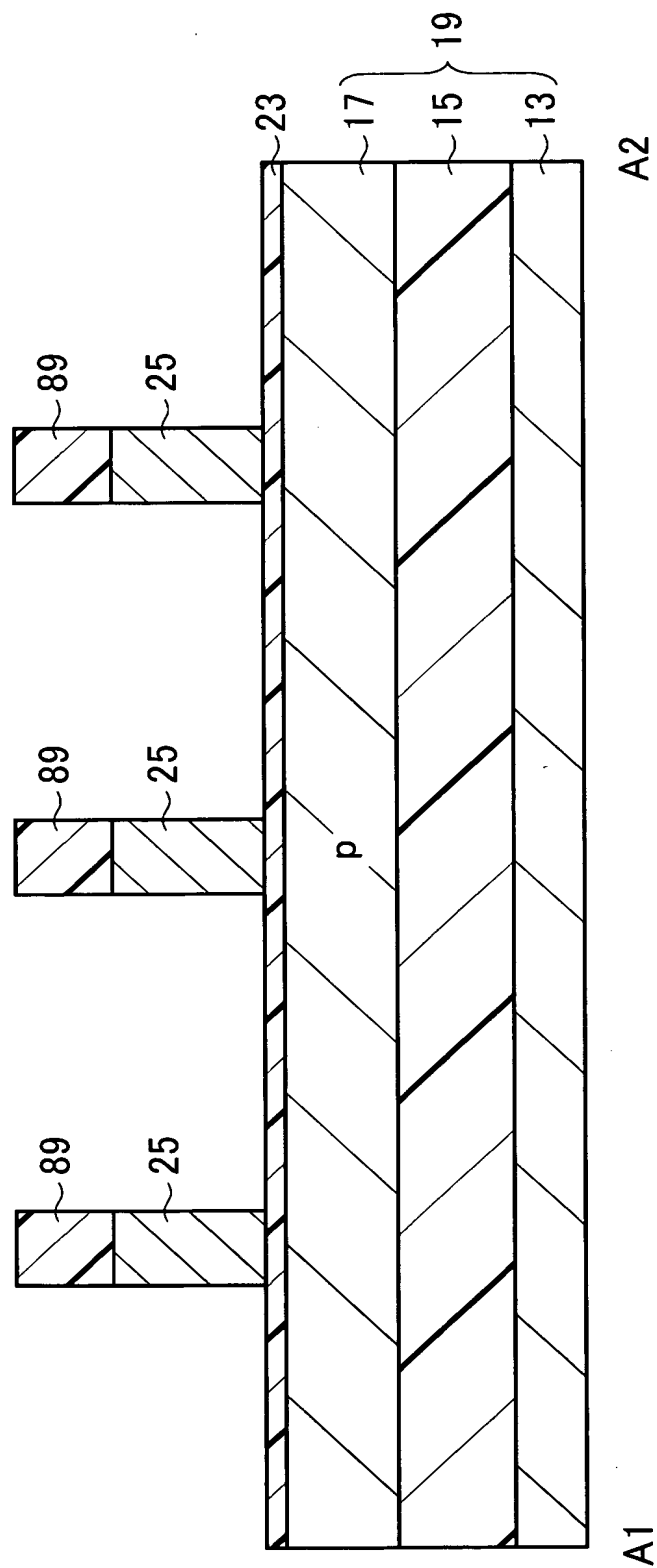
【図 1 2】



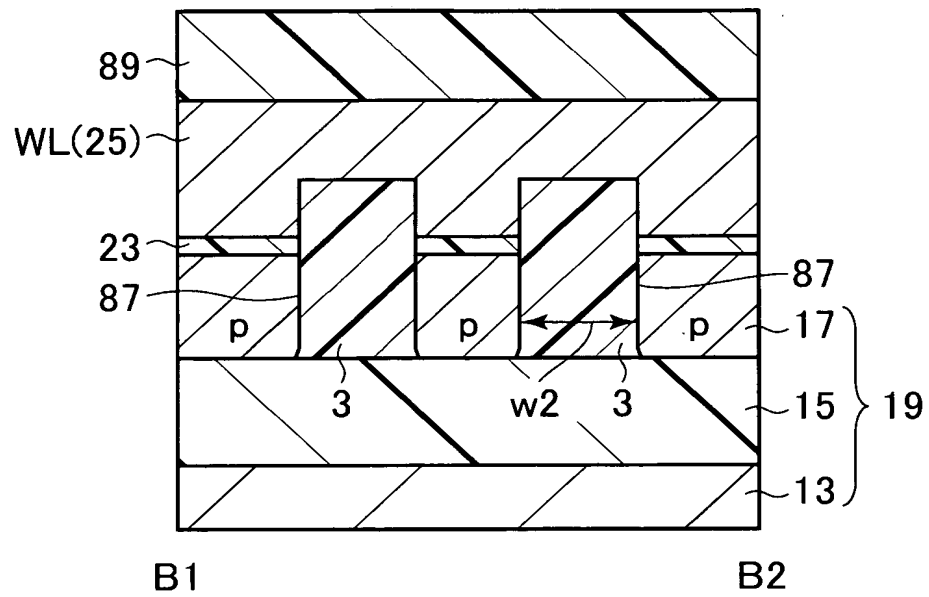
【図 1 3】



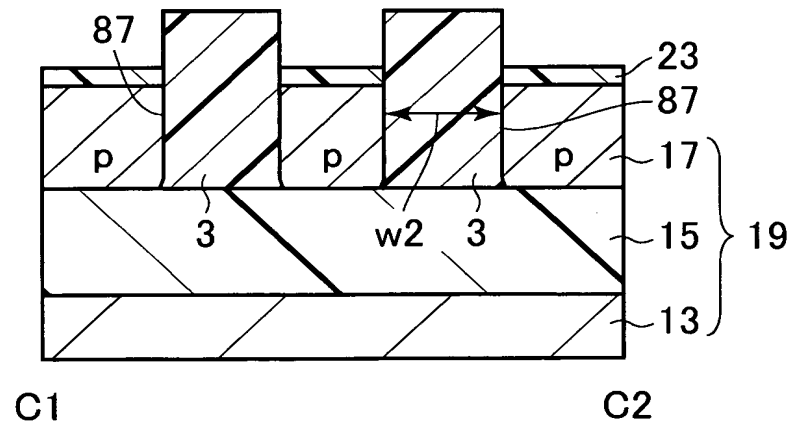
【図 14】



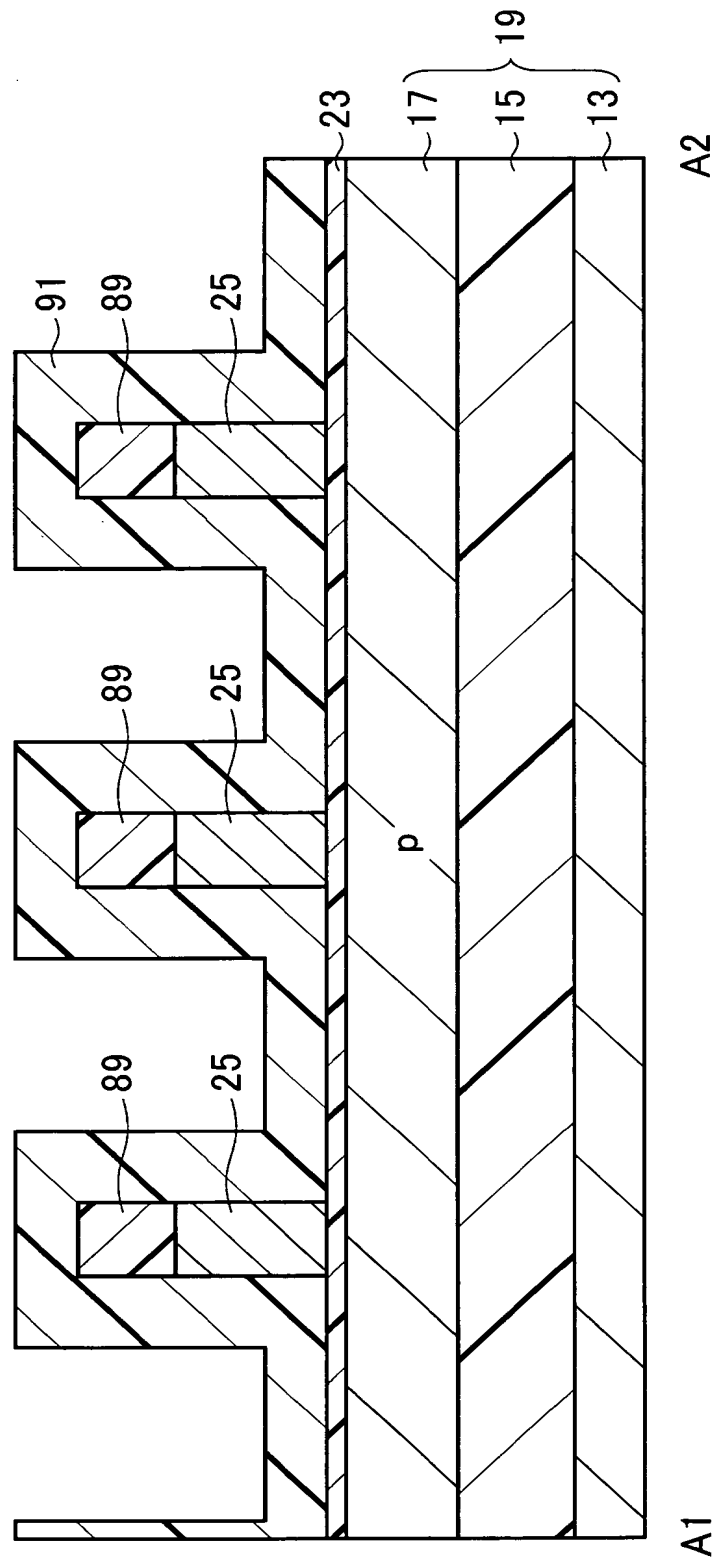
【図 15】



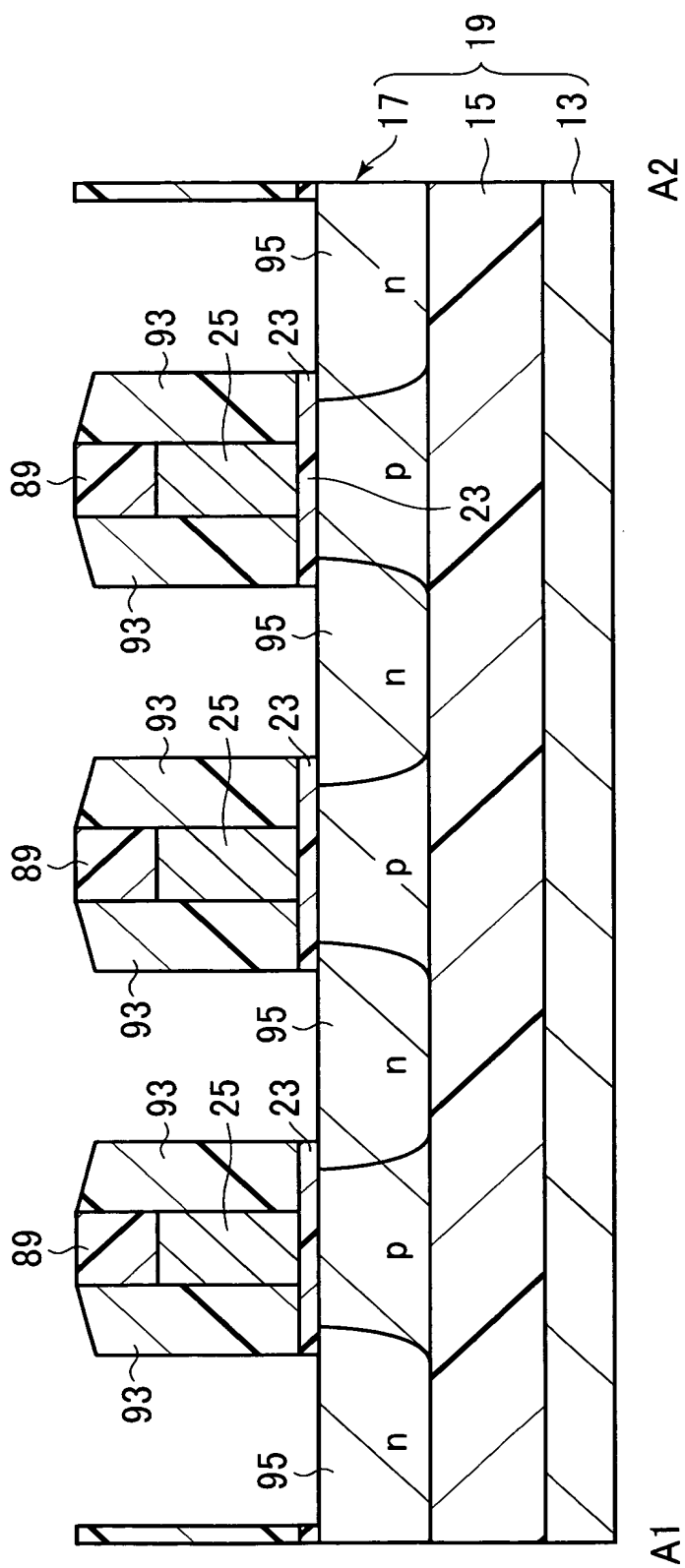
【図 16】



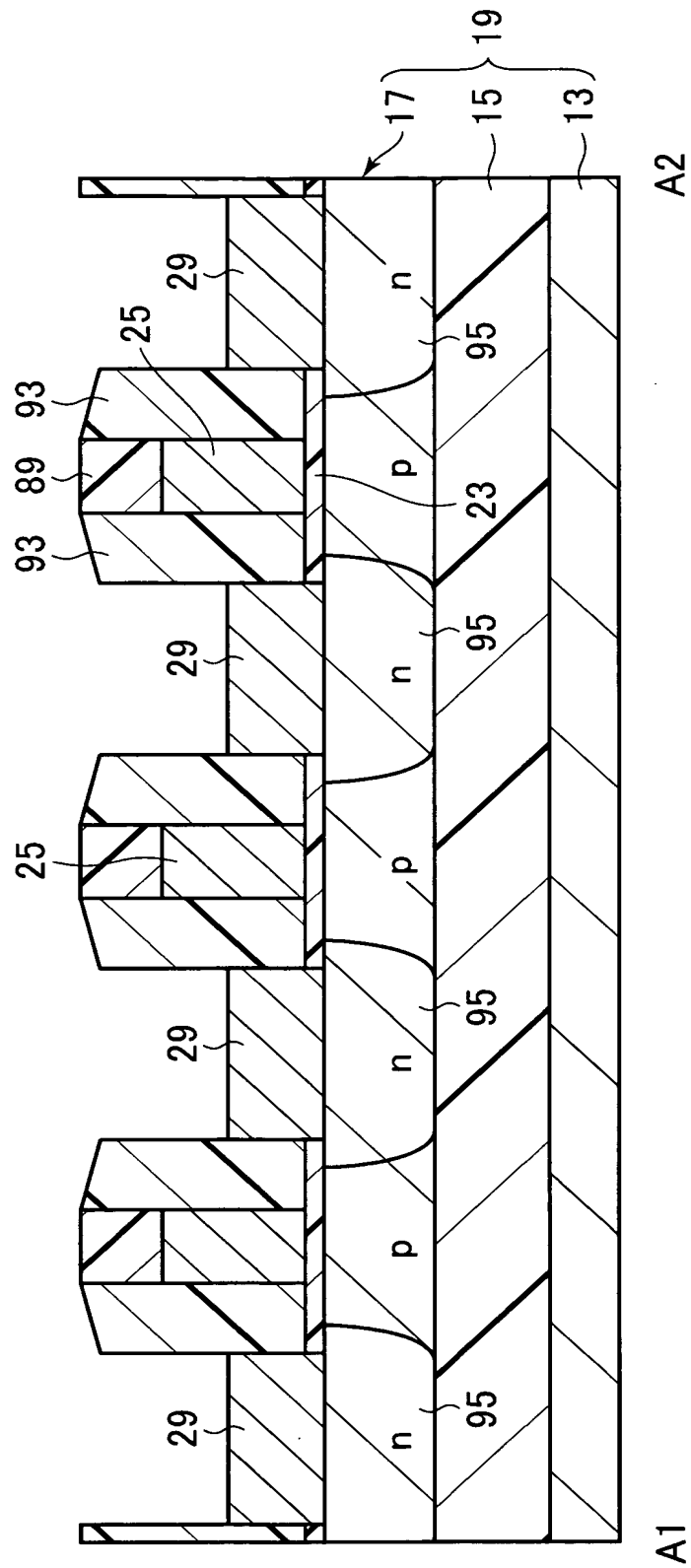
【図 17】



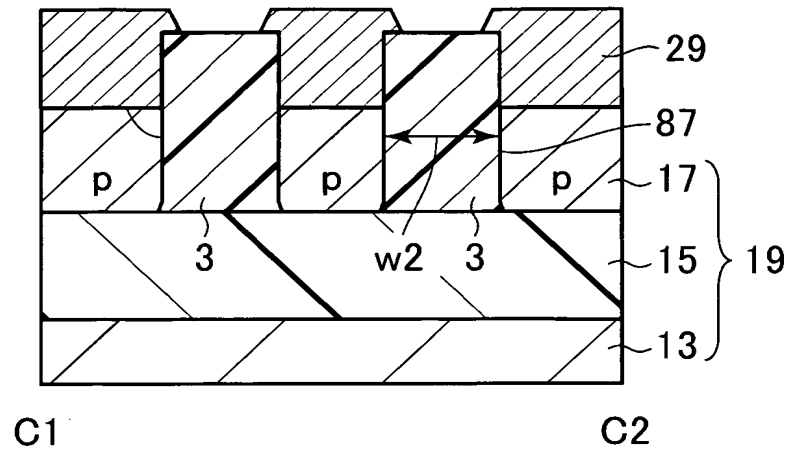
【図18】



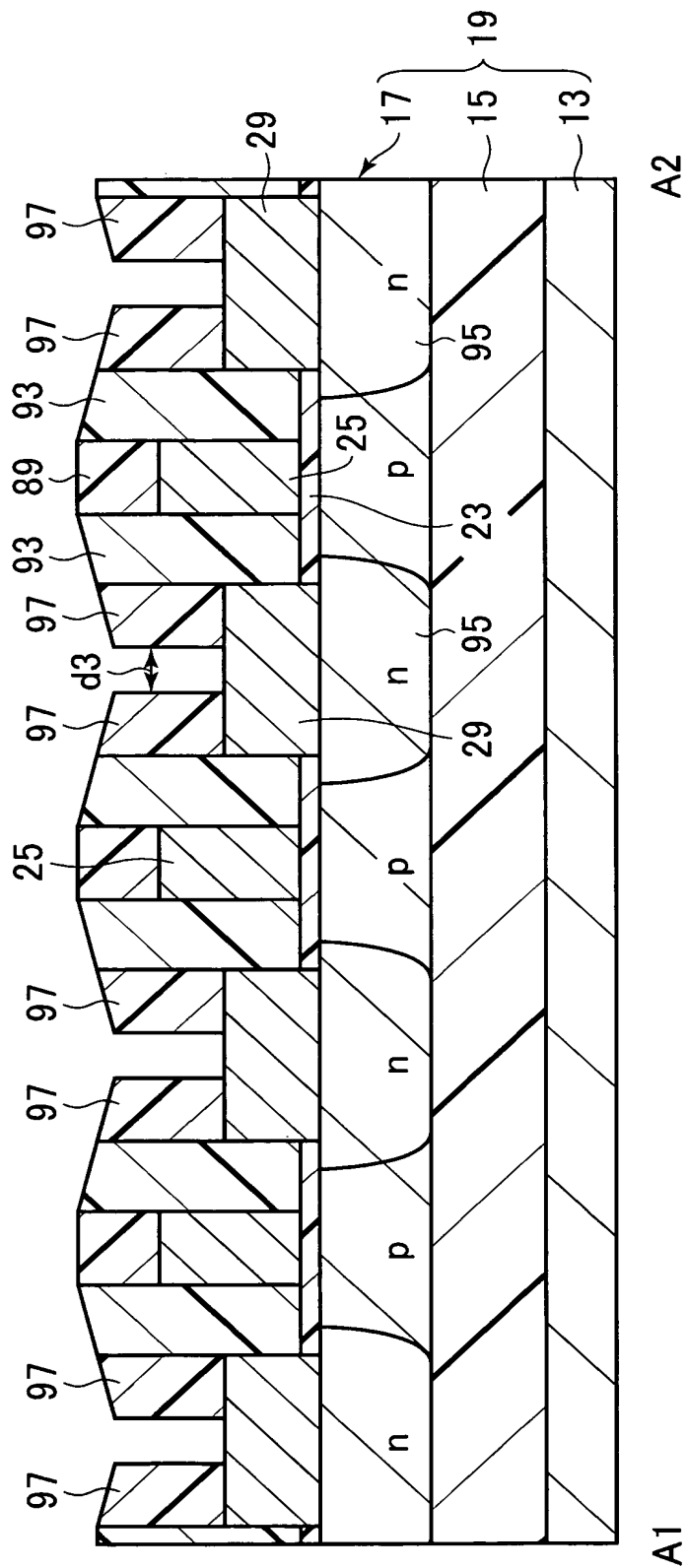
【図 19 A】



【図 19B】



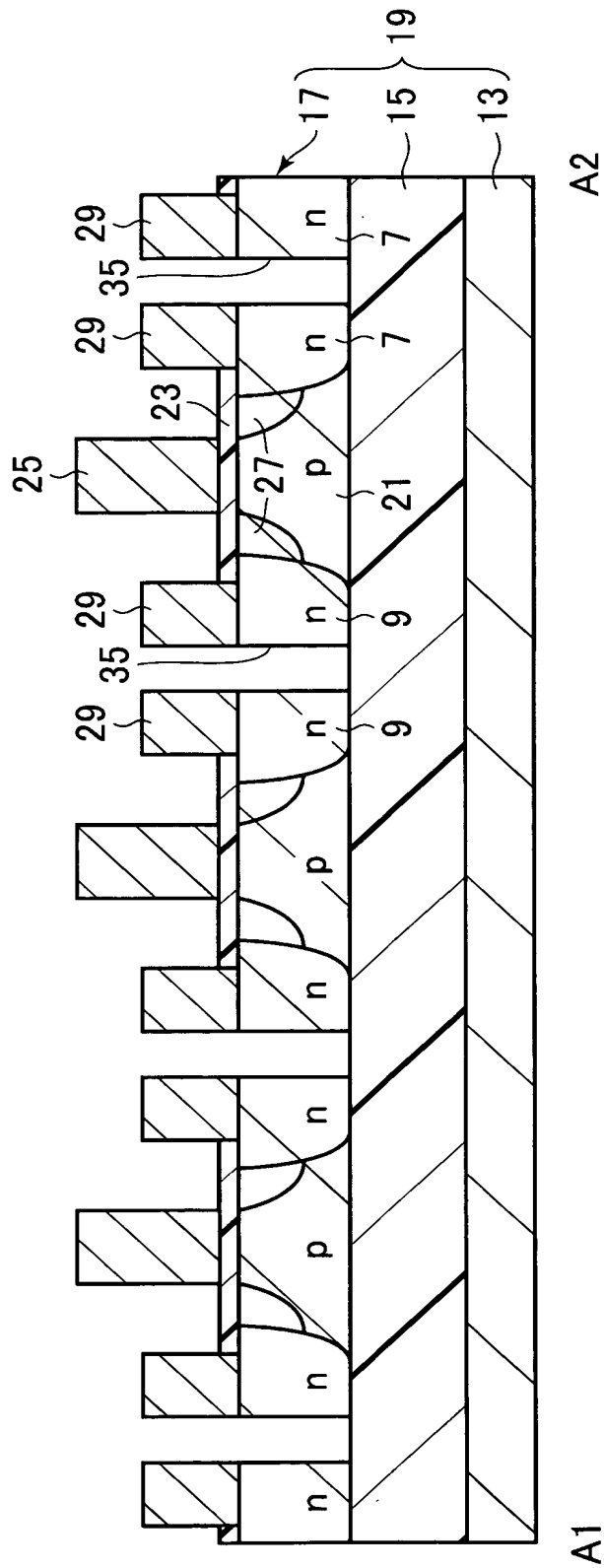
【図 20】



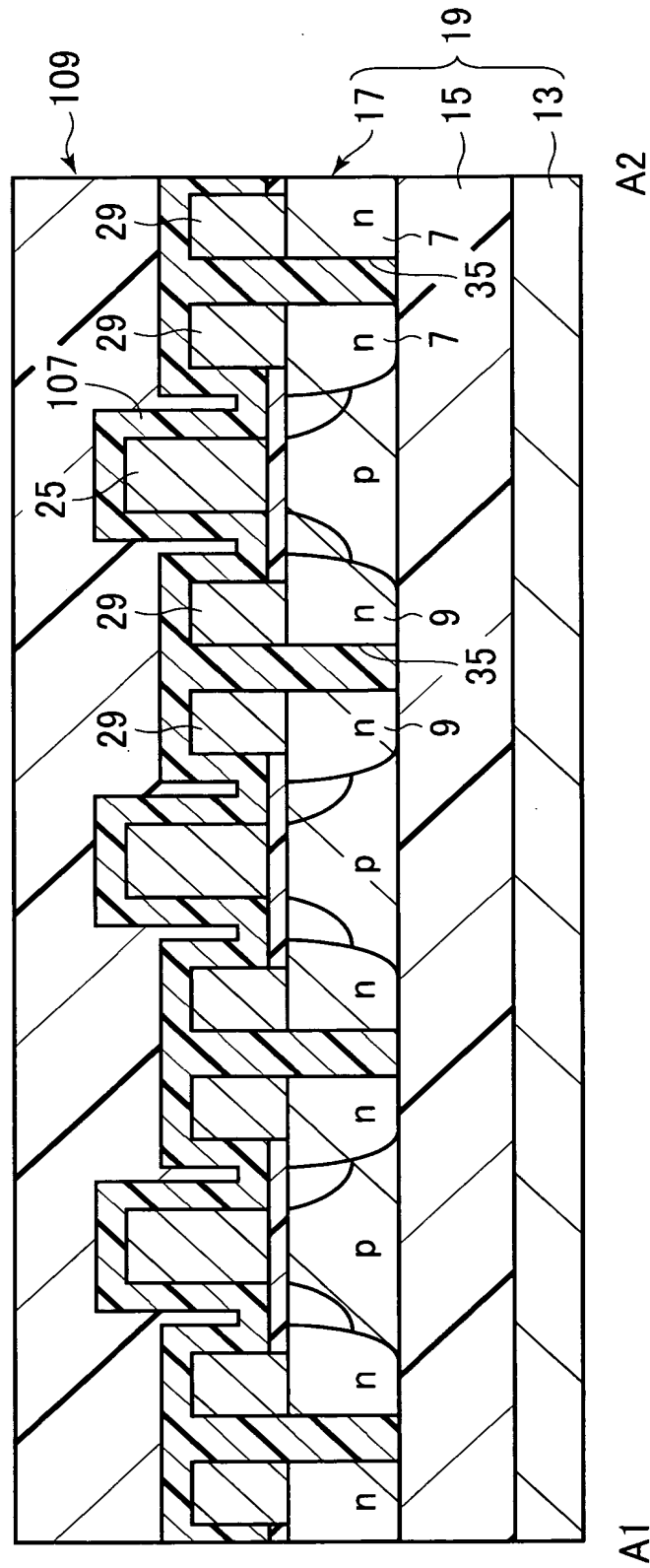




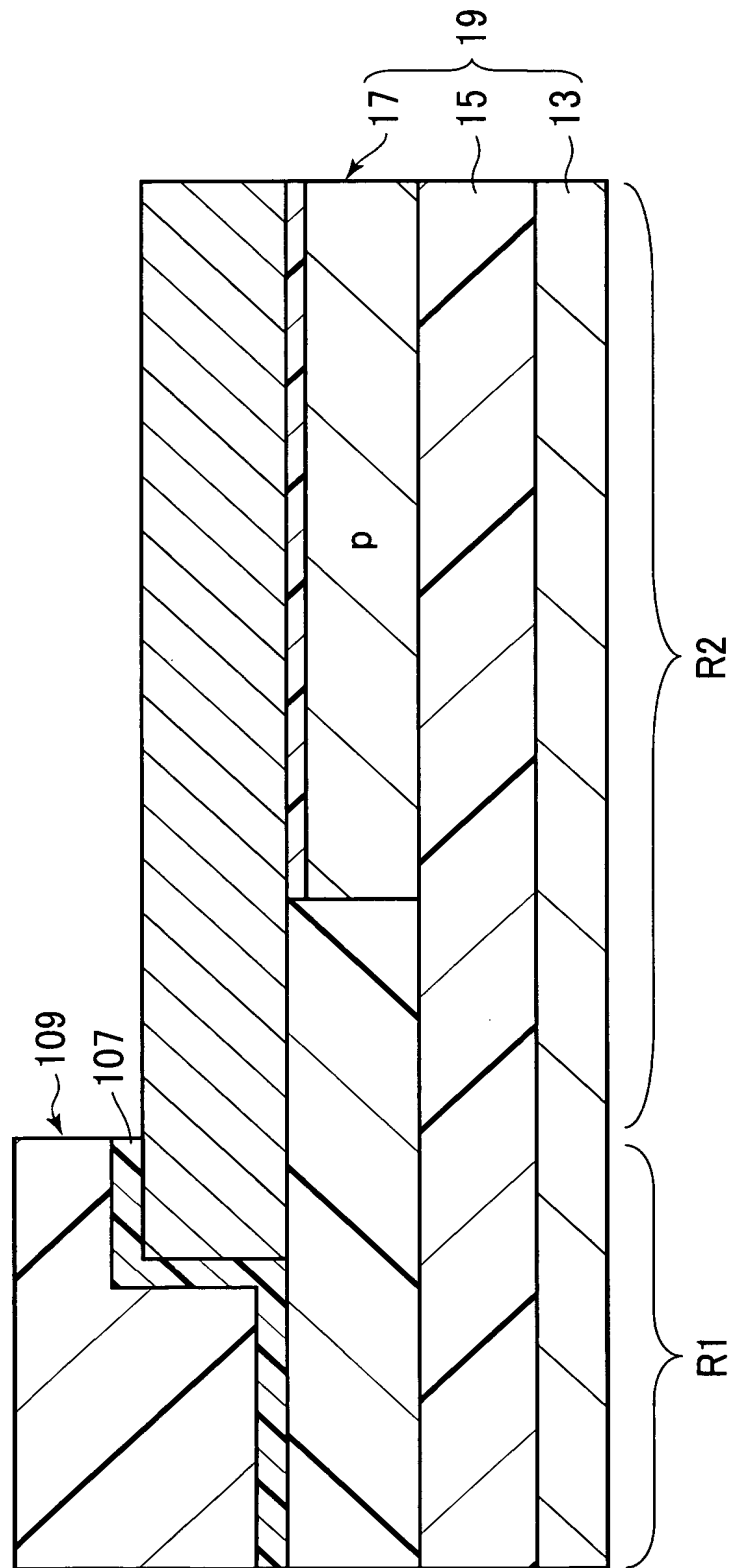
【図 22】



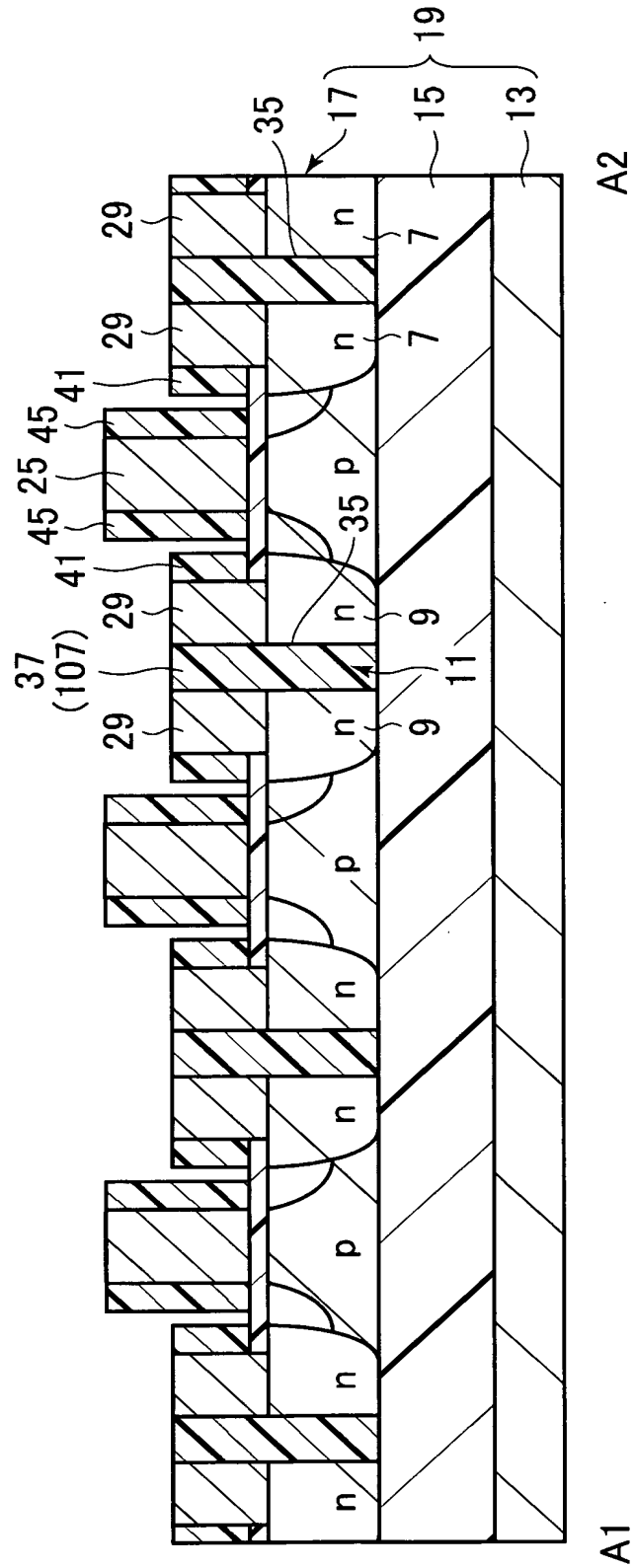
【図 23】



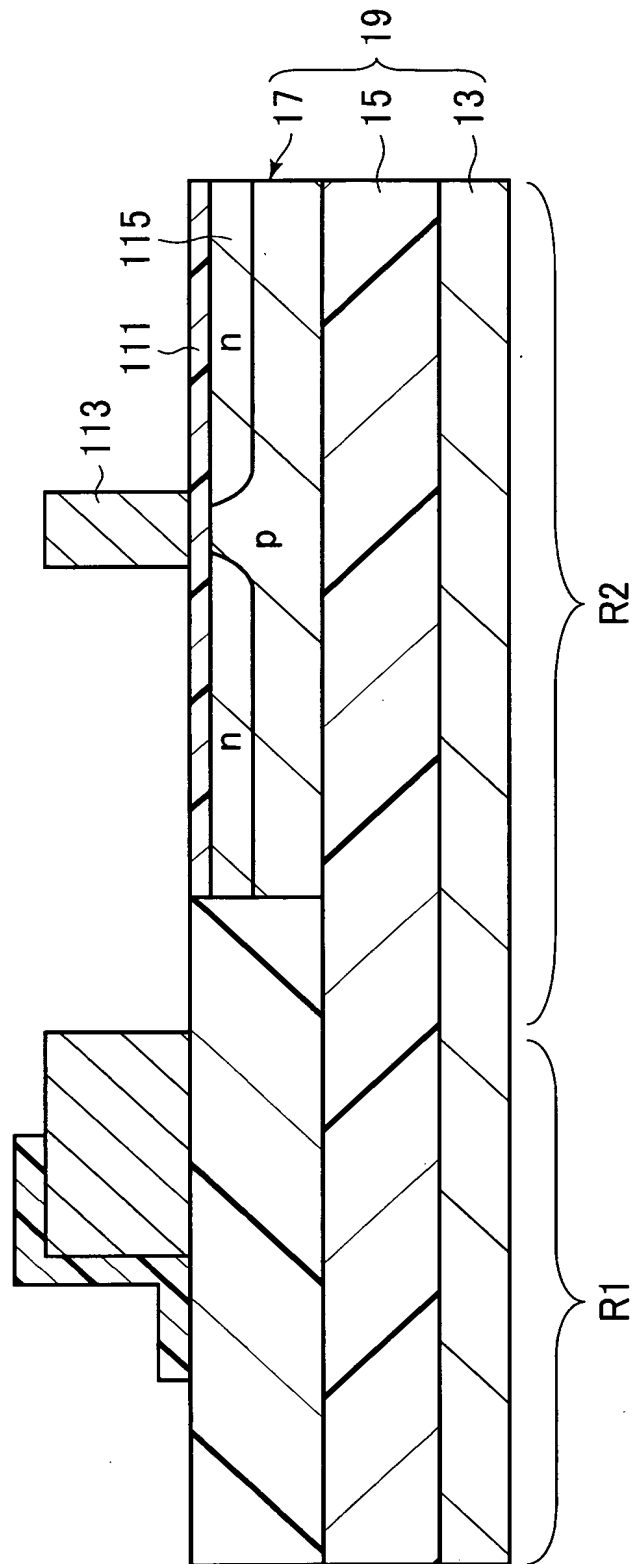
【図 24】



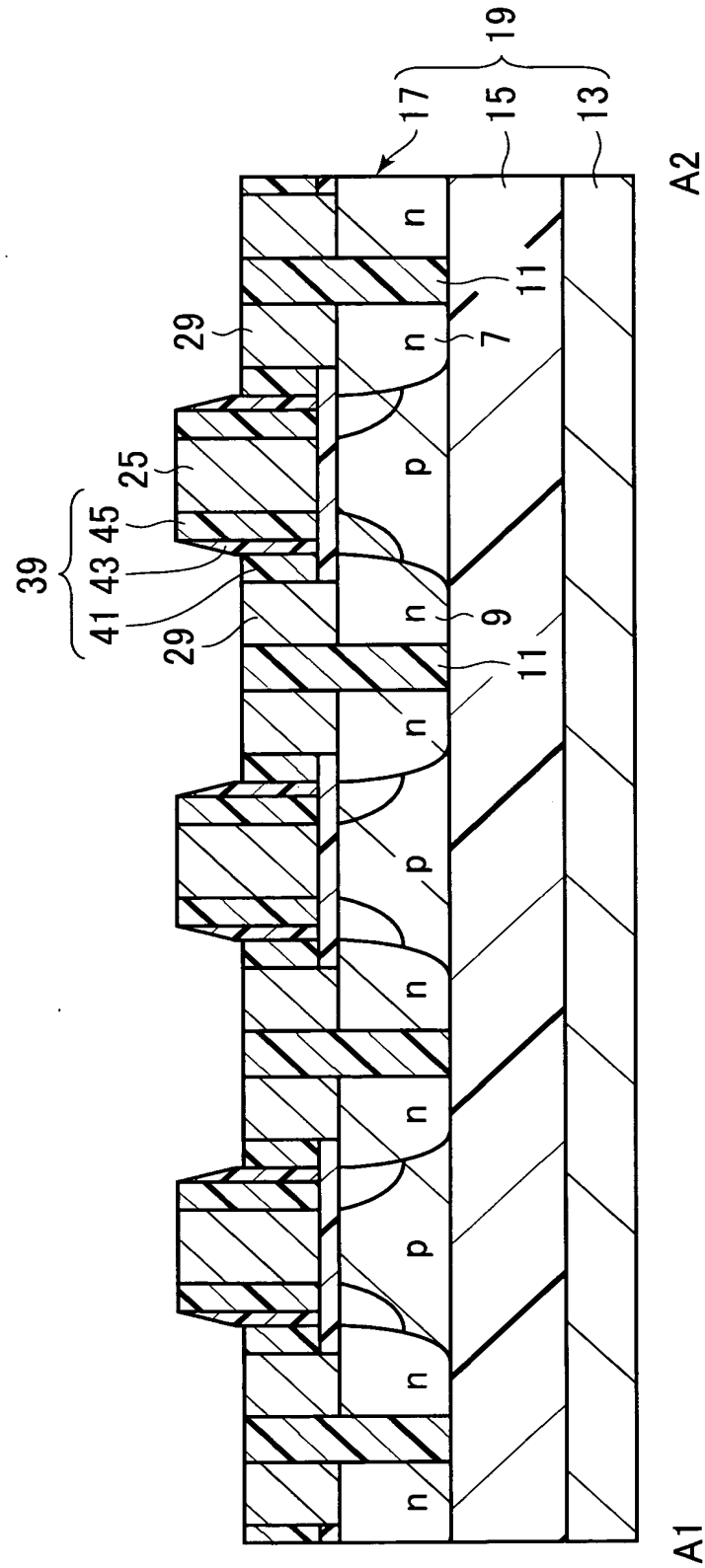
【図 25】



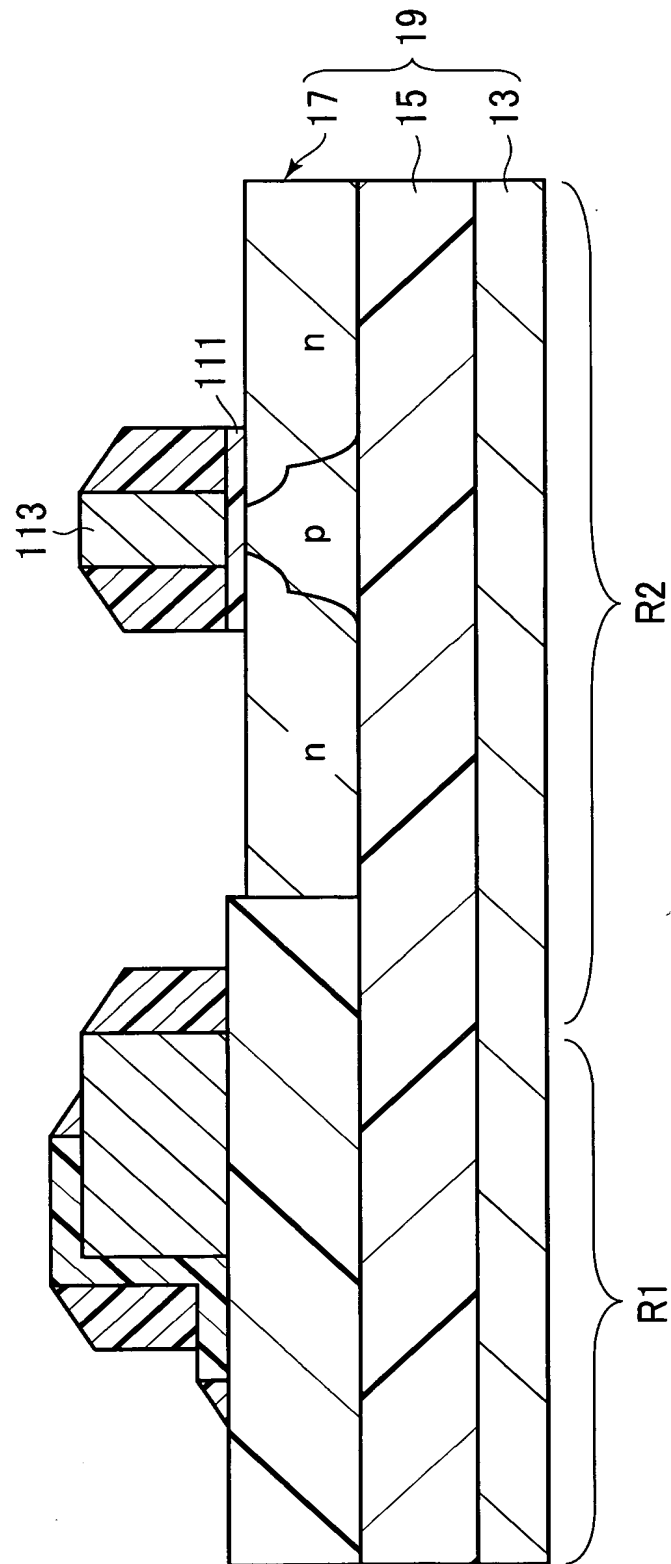
【図 26】



【图 27】

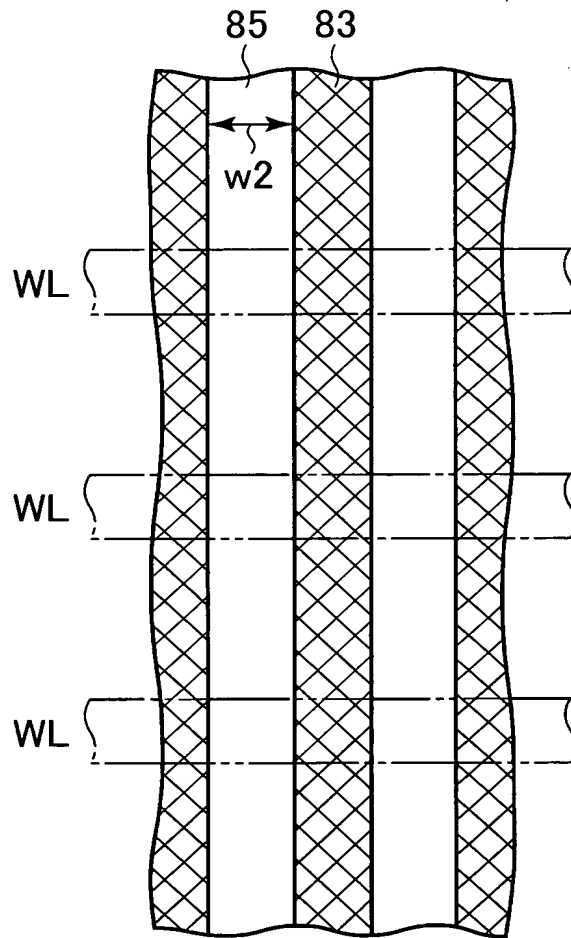


【図 28】

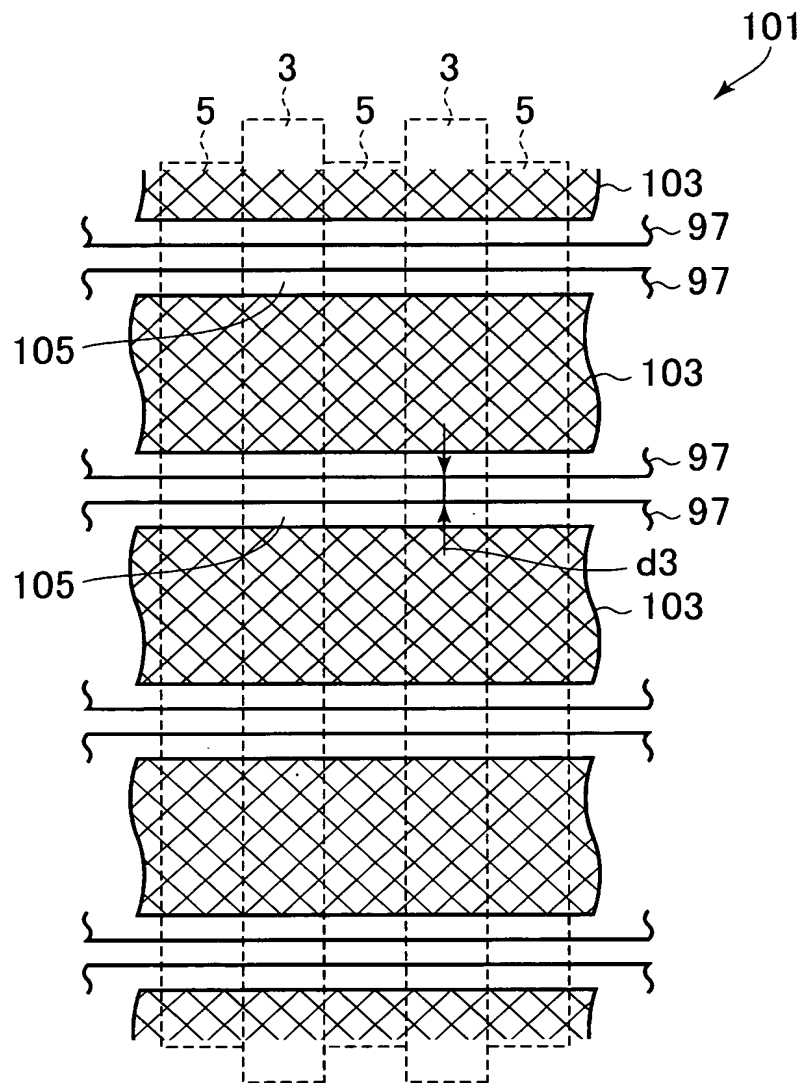




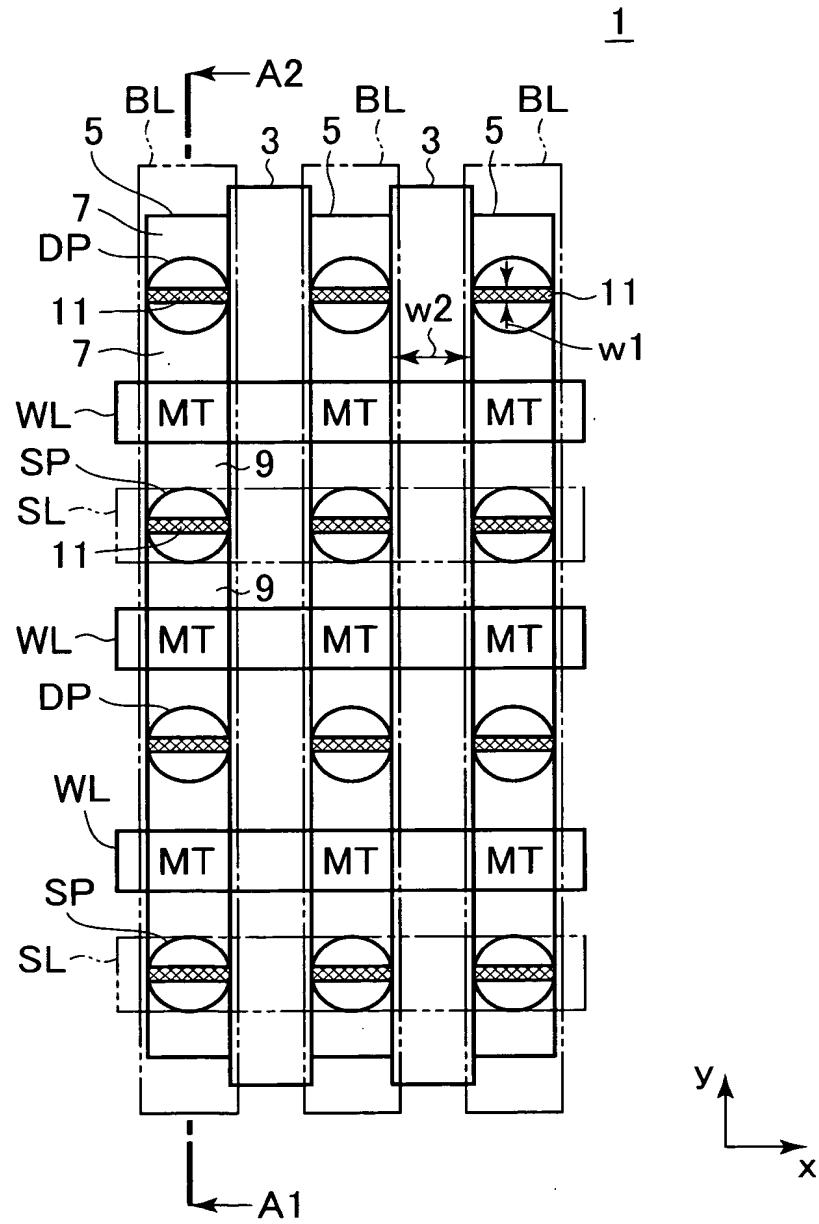
【図 29】



【図 30】

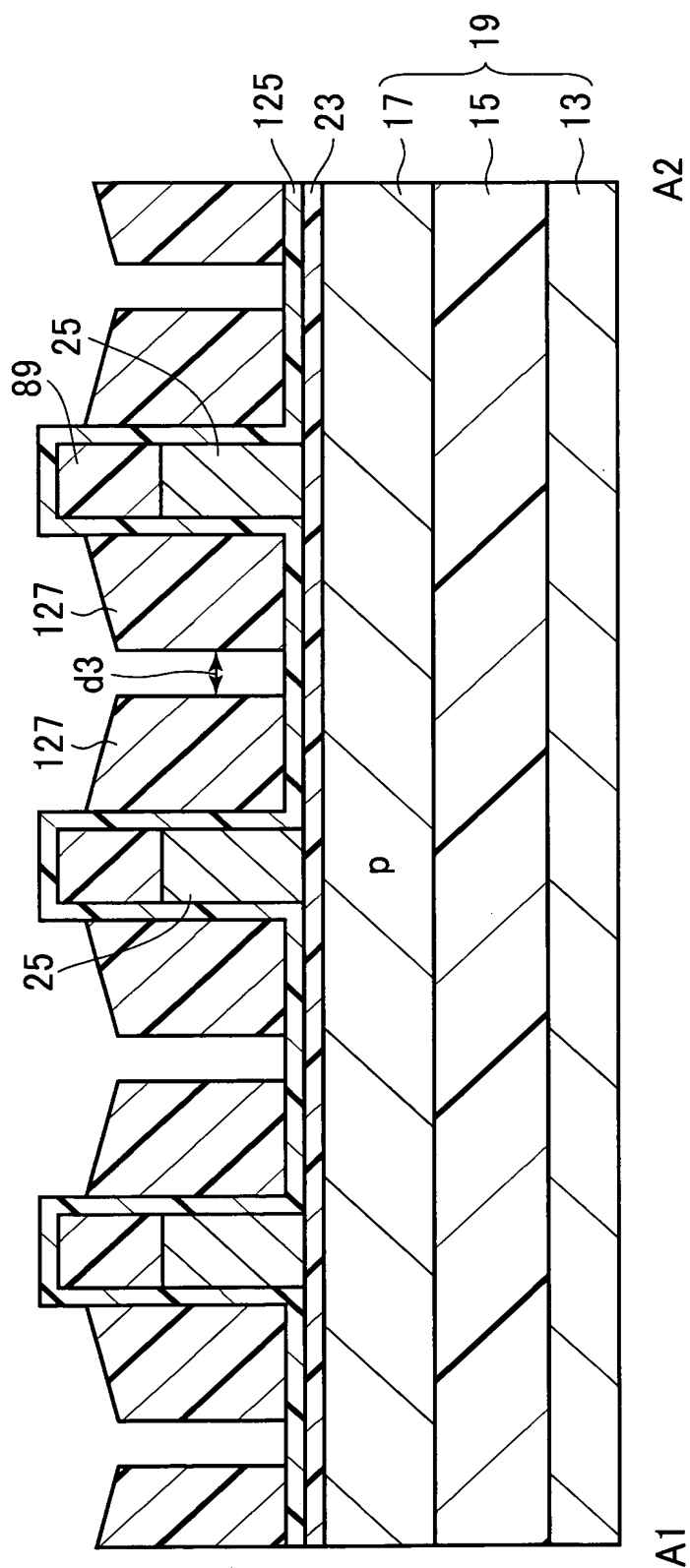


【図 31】

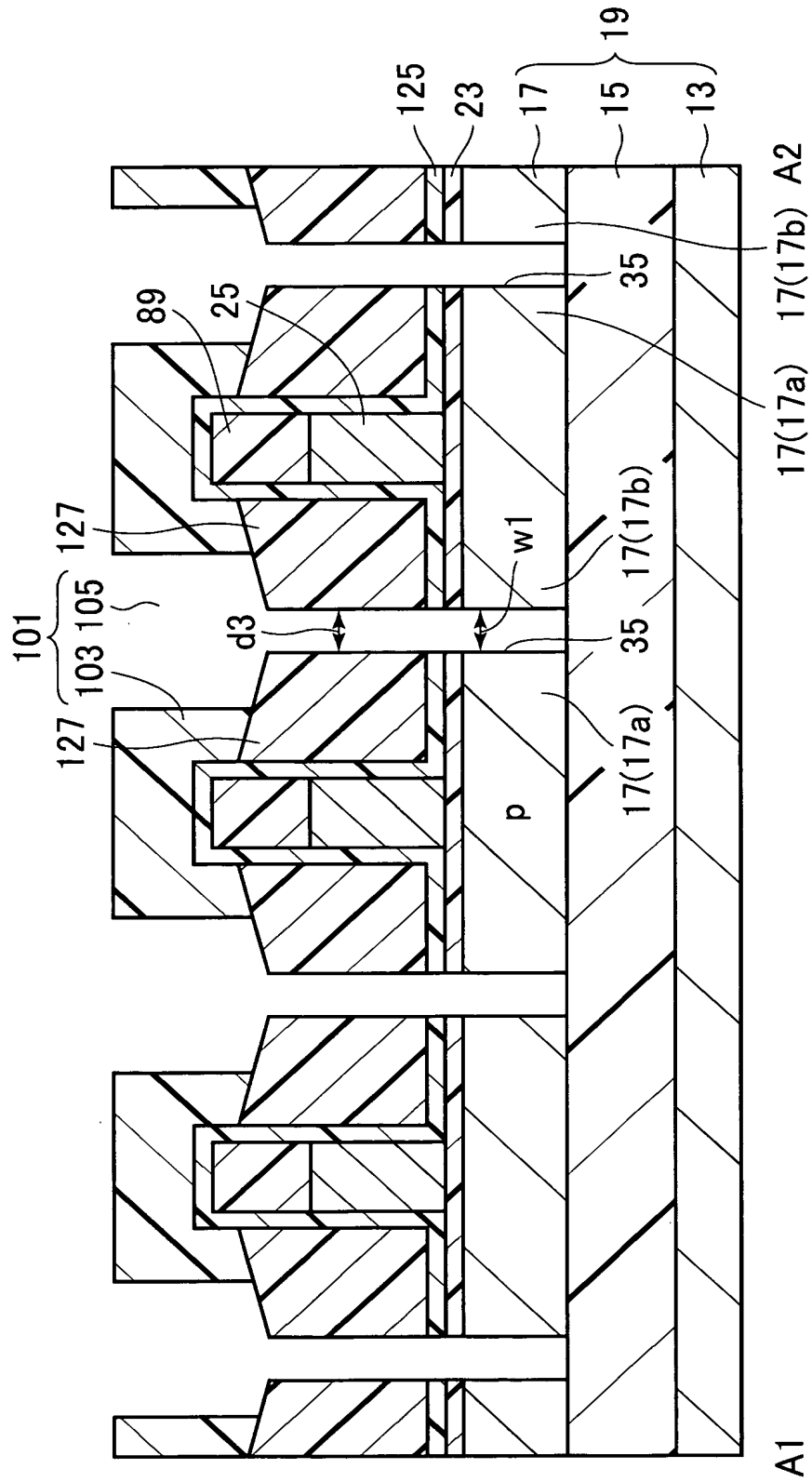




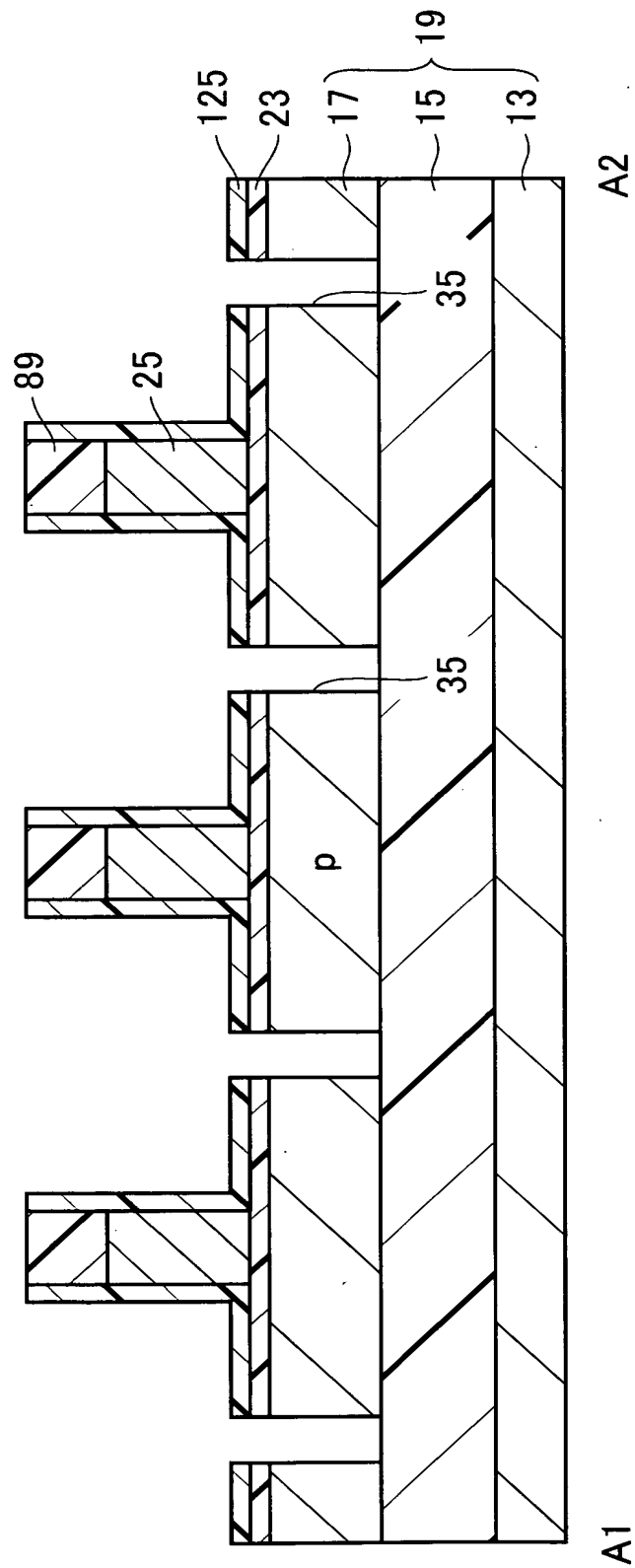
【図 3 3】



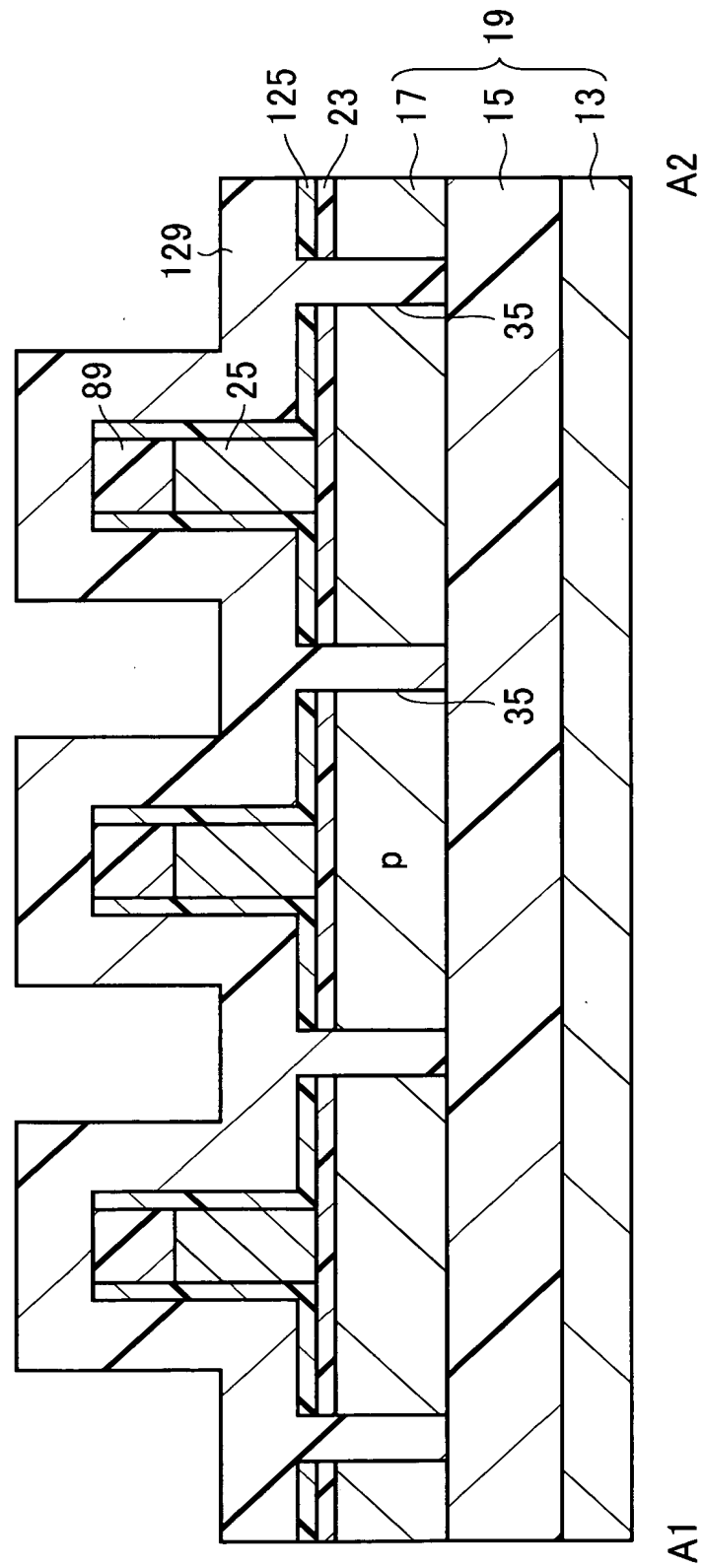
【図 34】



【図 35】

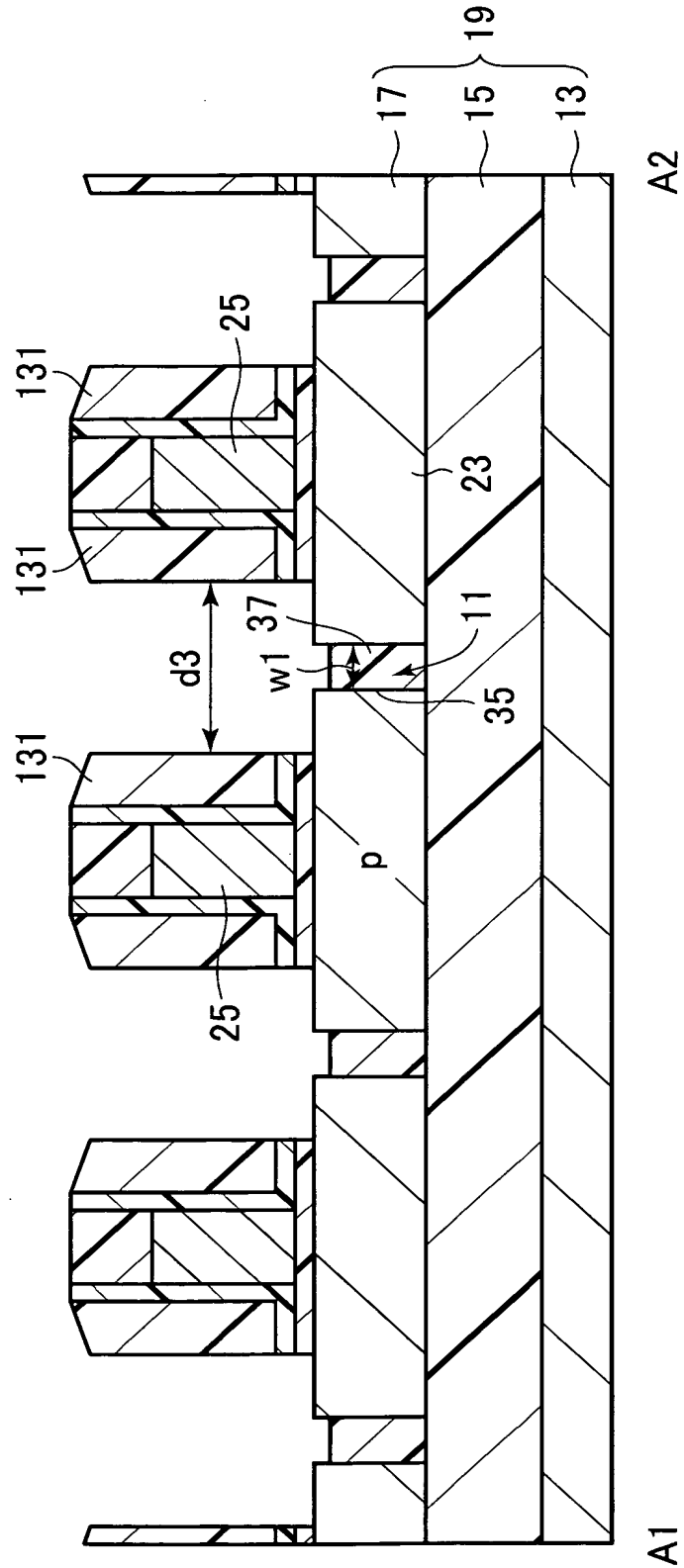


【図 36】

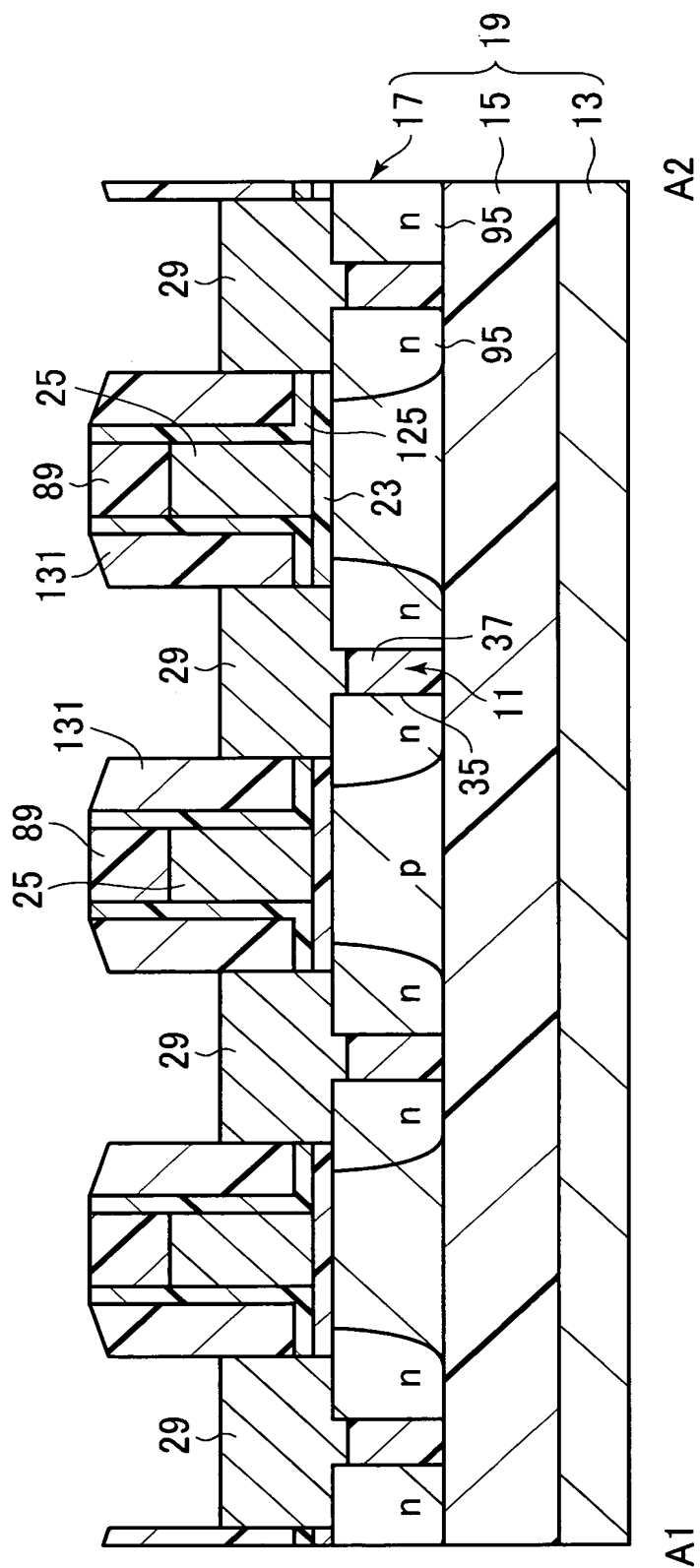




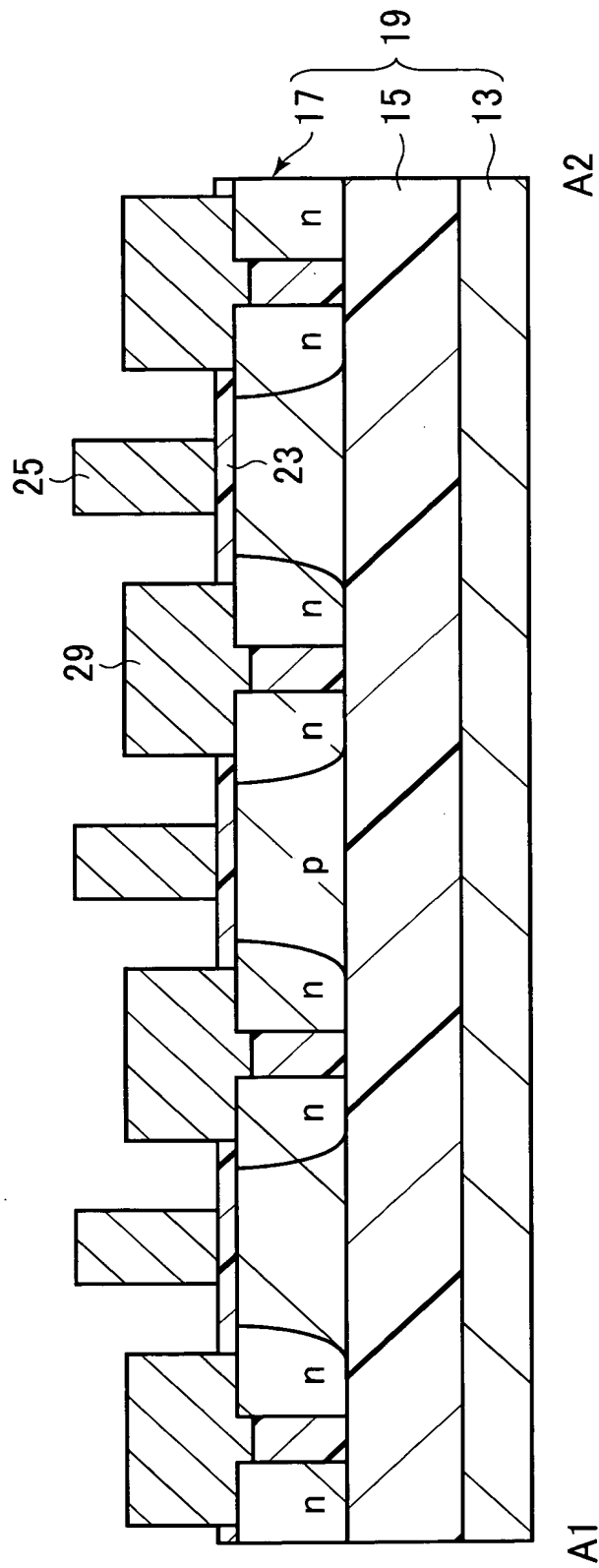
【図 37】



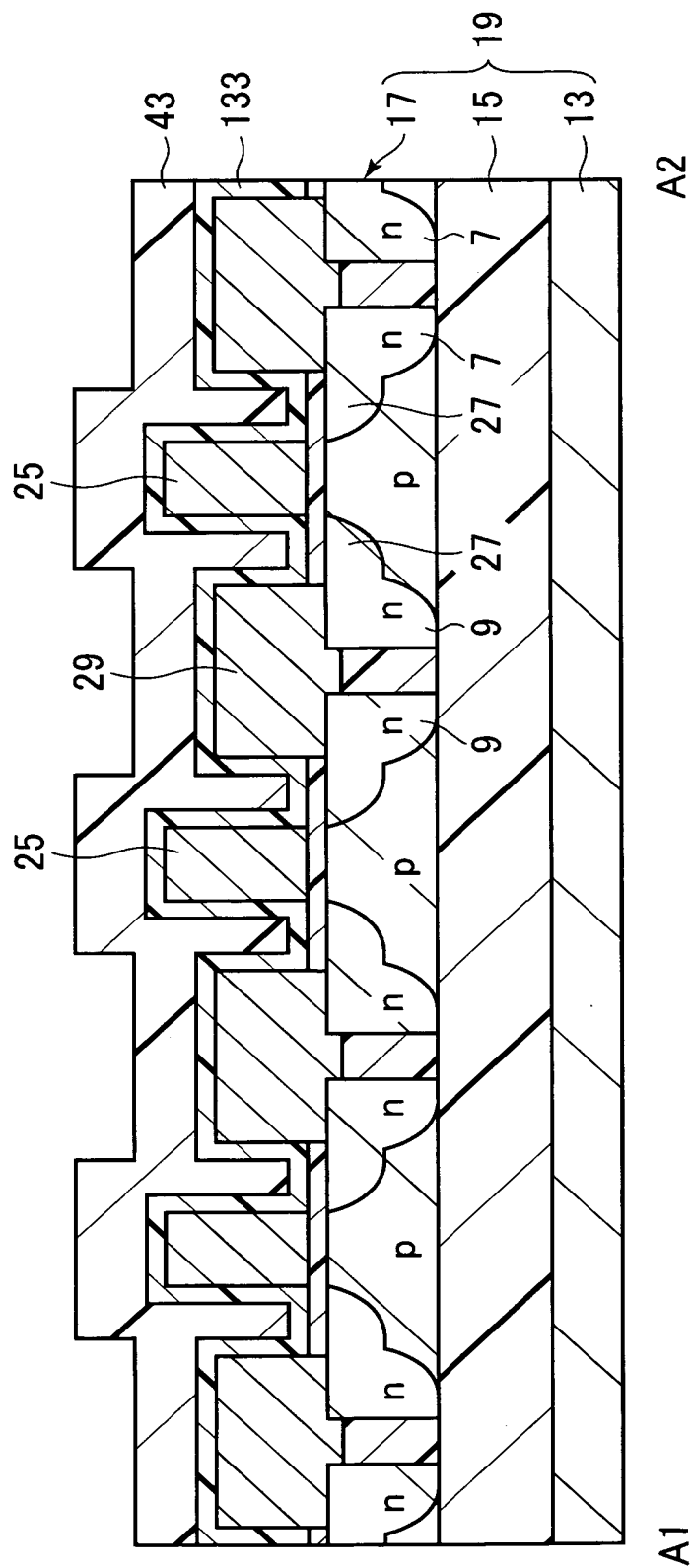
【图 3 8】



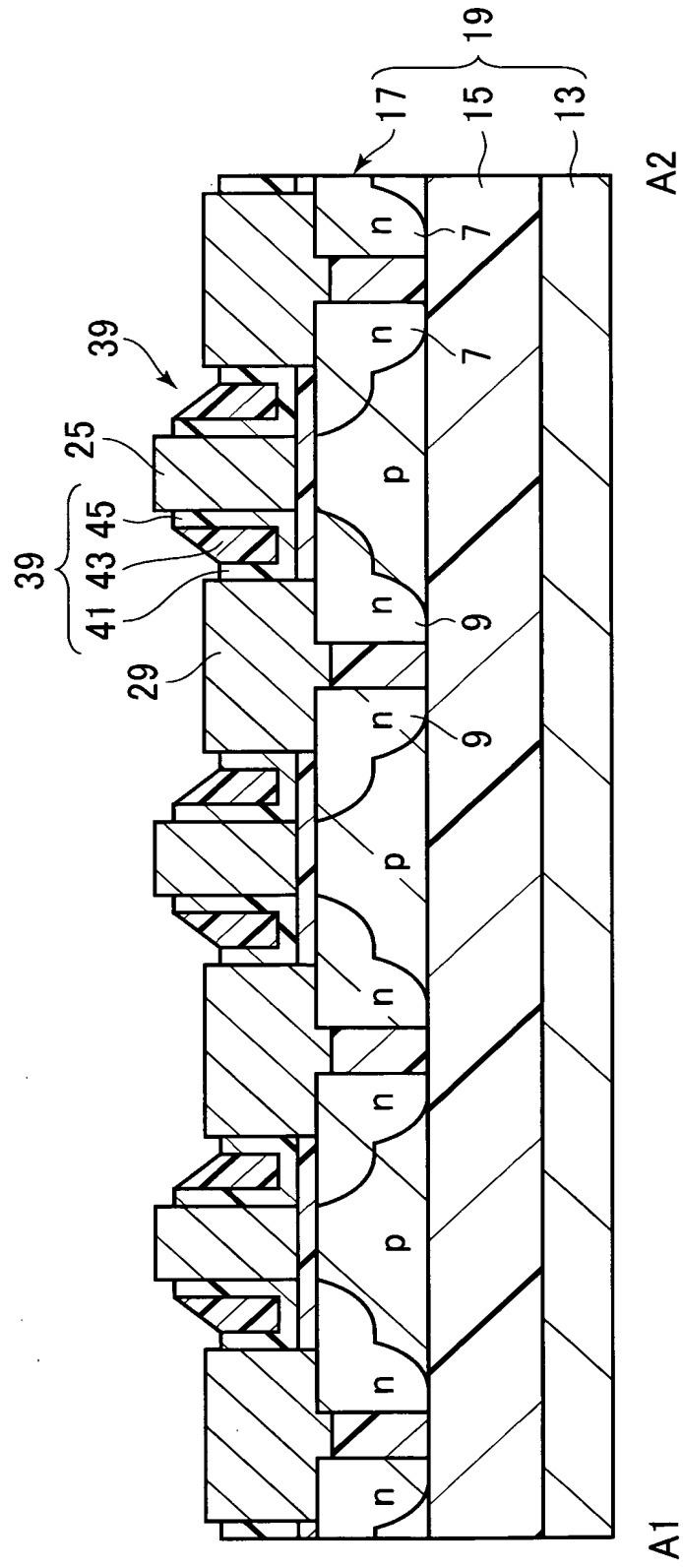
【図 39】



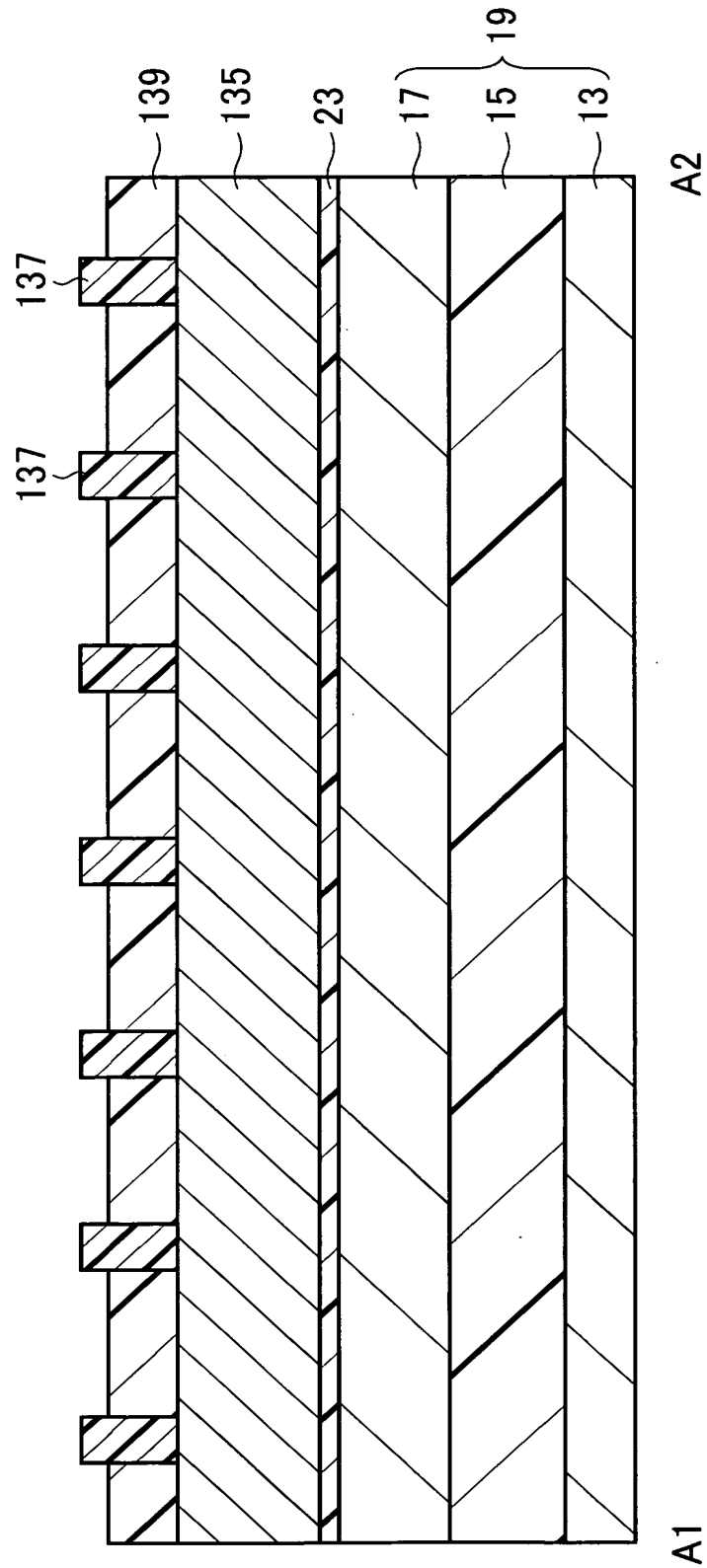
【図 40】



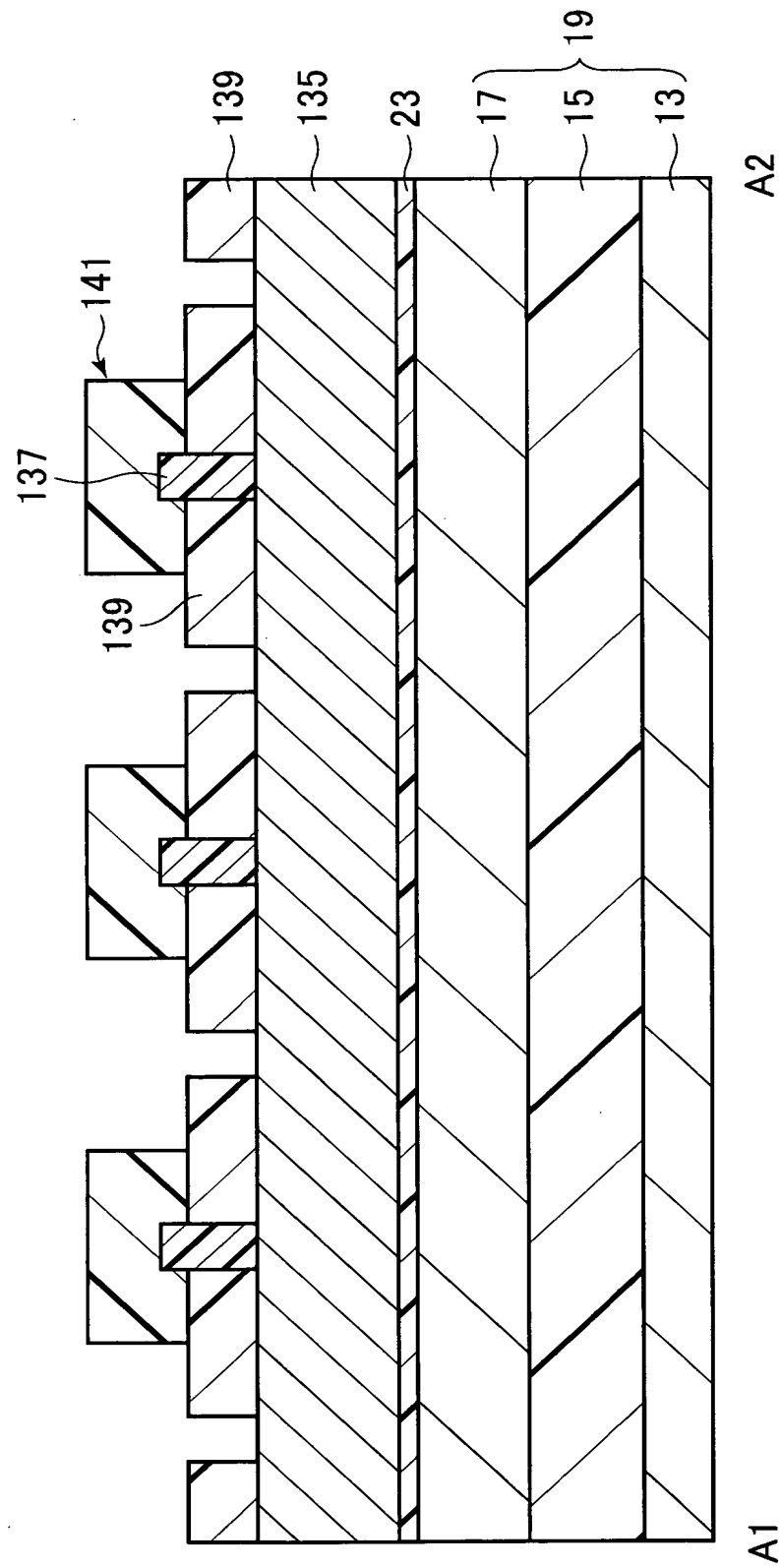
【図 41】



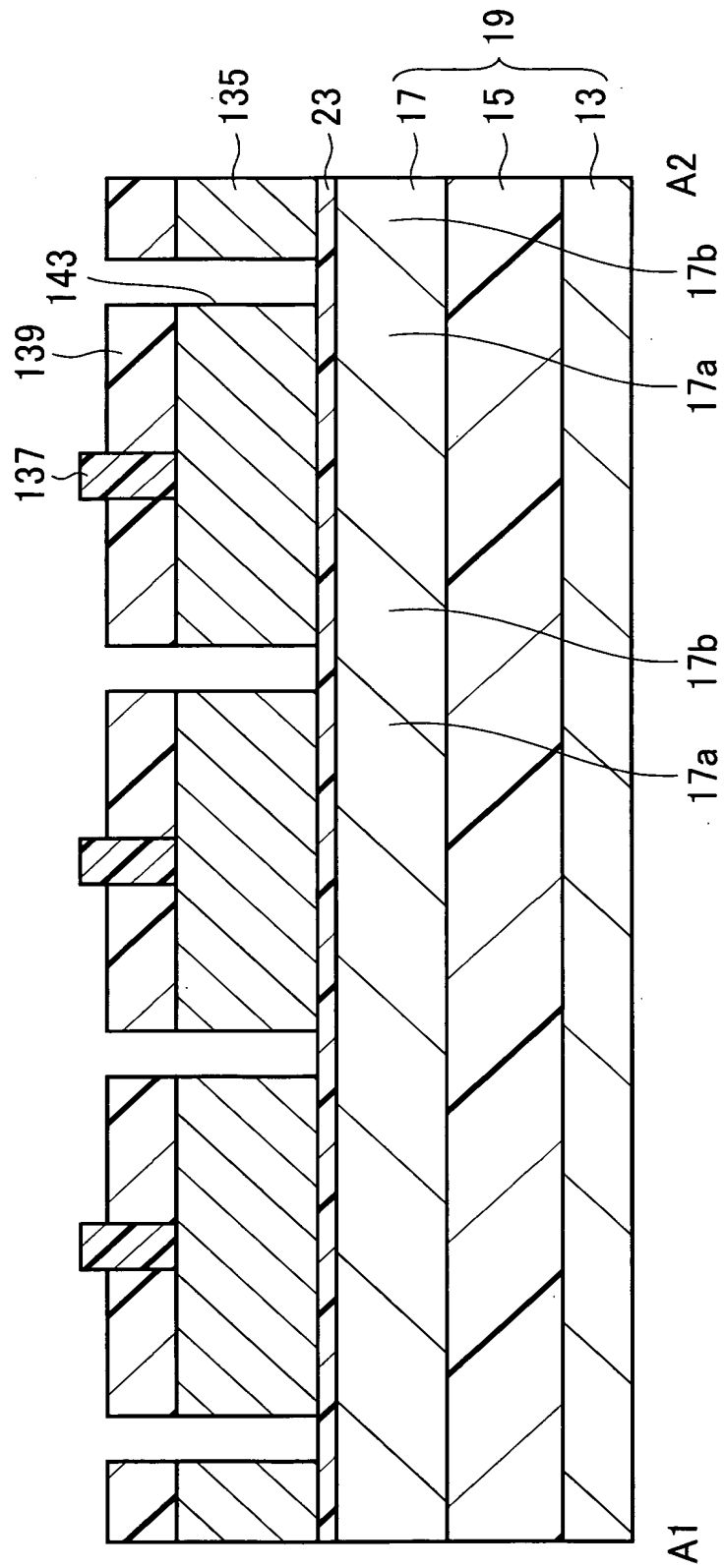
【図 4 2】



【図 43】

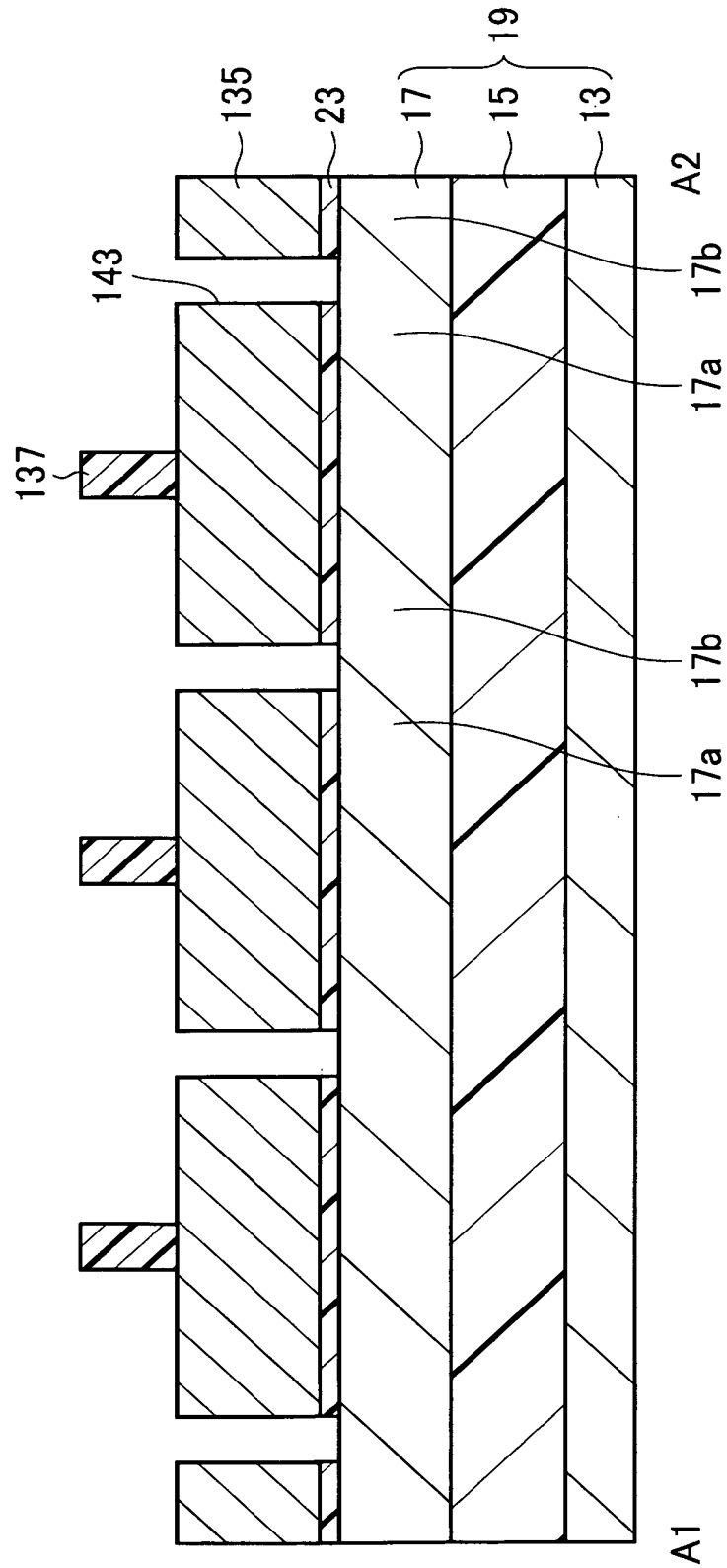


【図 44】

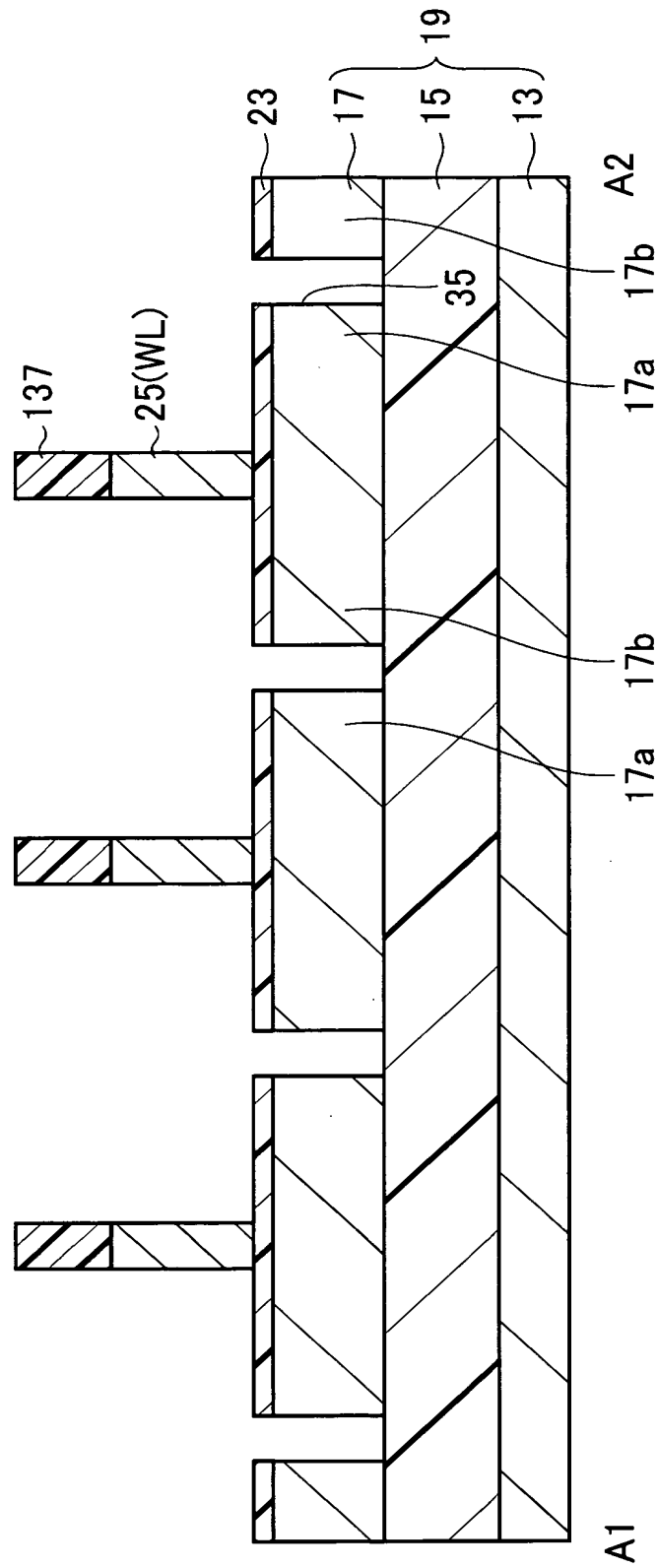




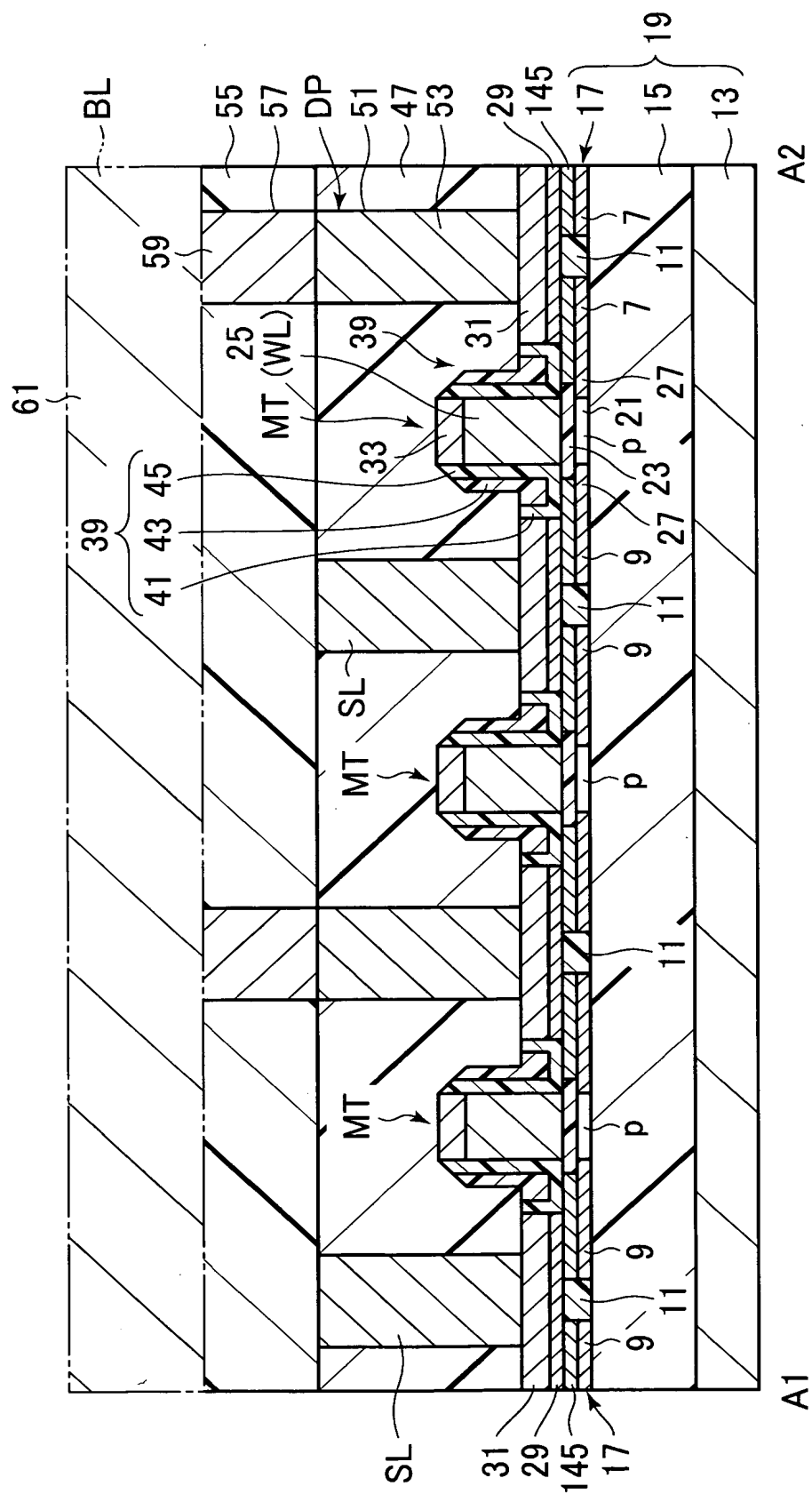
【図 45】



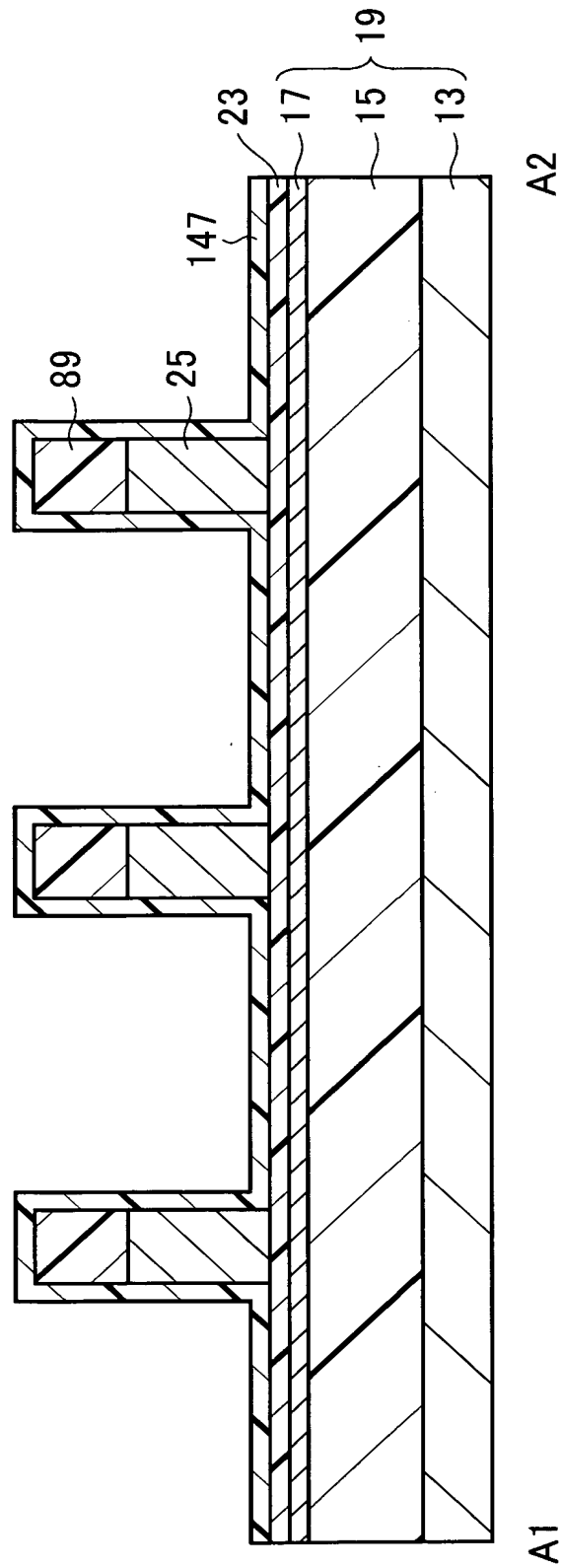
【図 46】



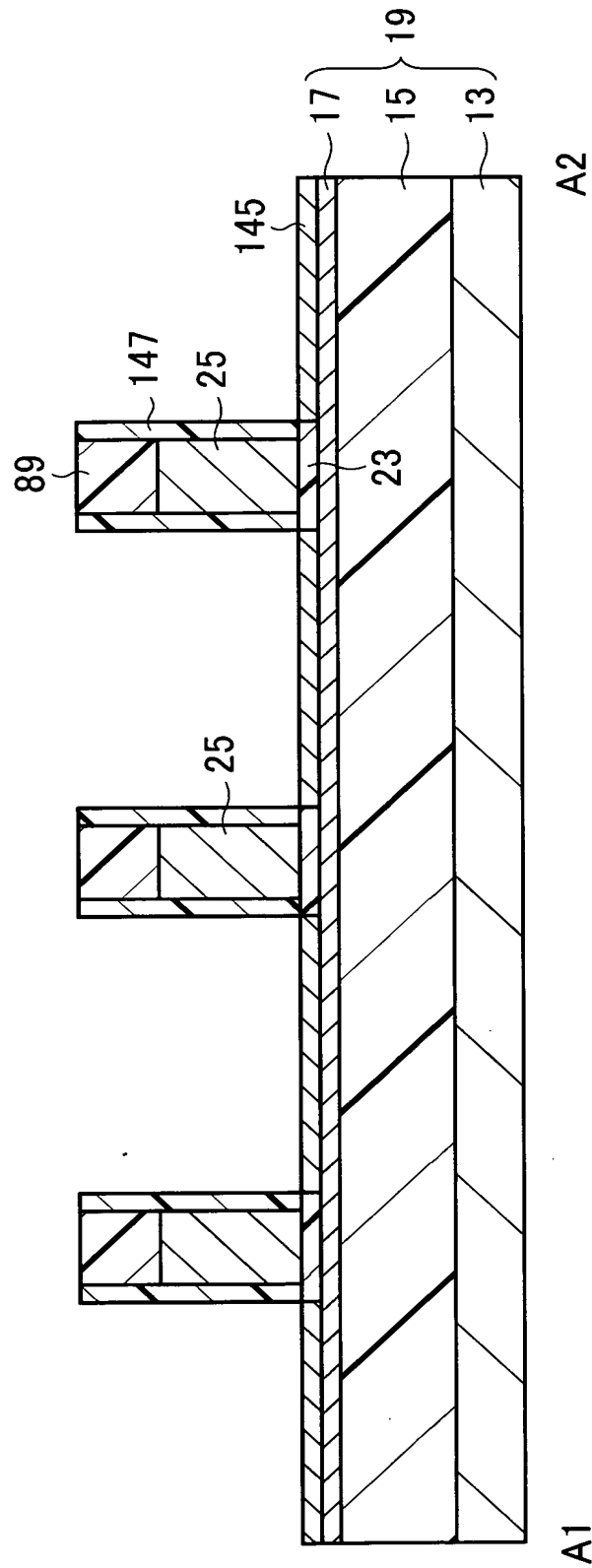
【図 4 7】



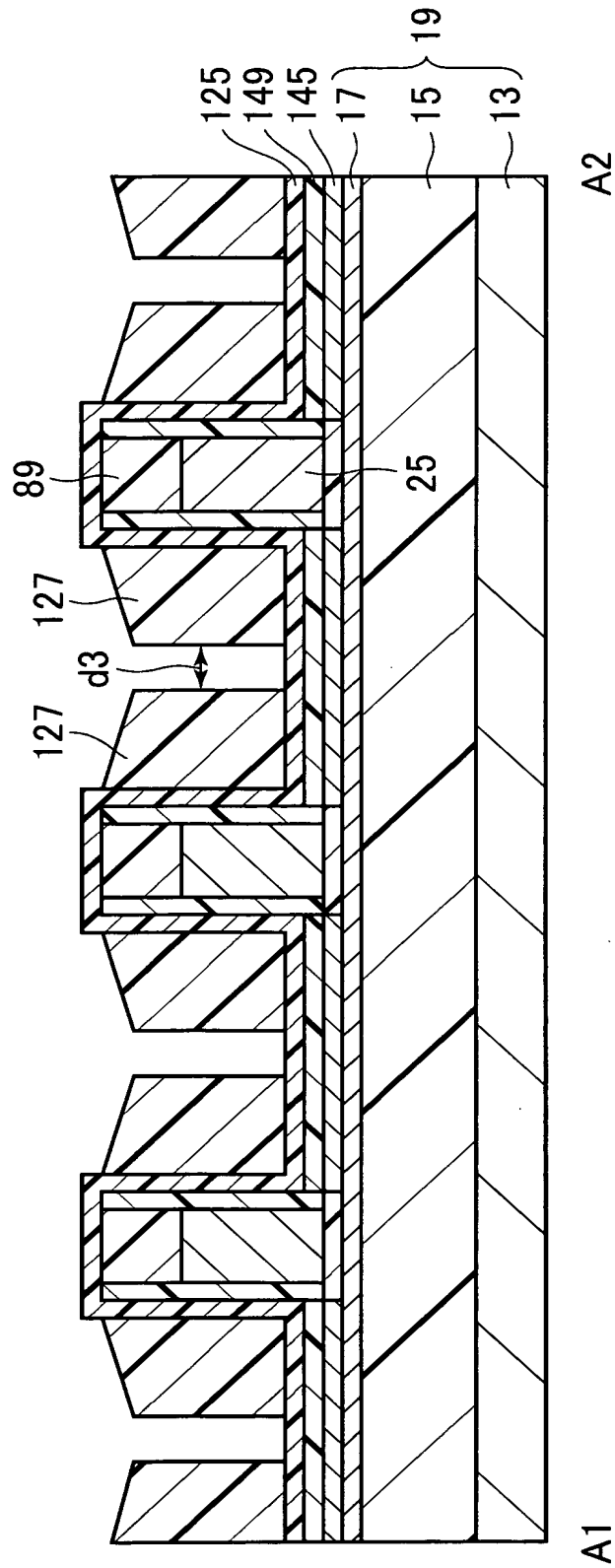
【図 48】



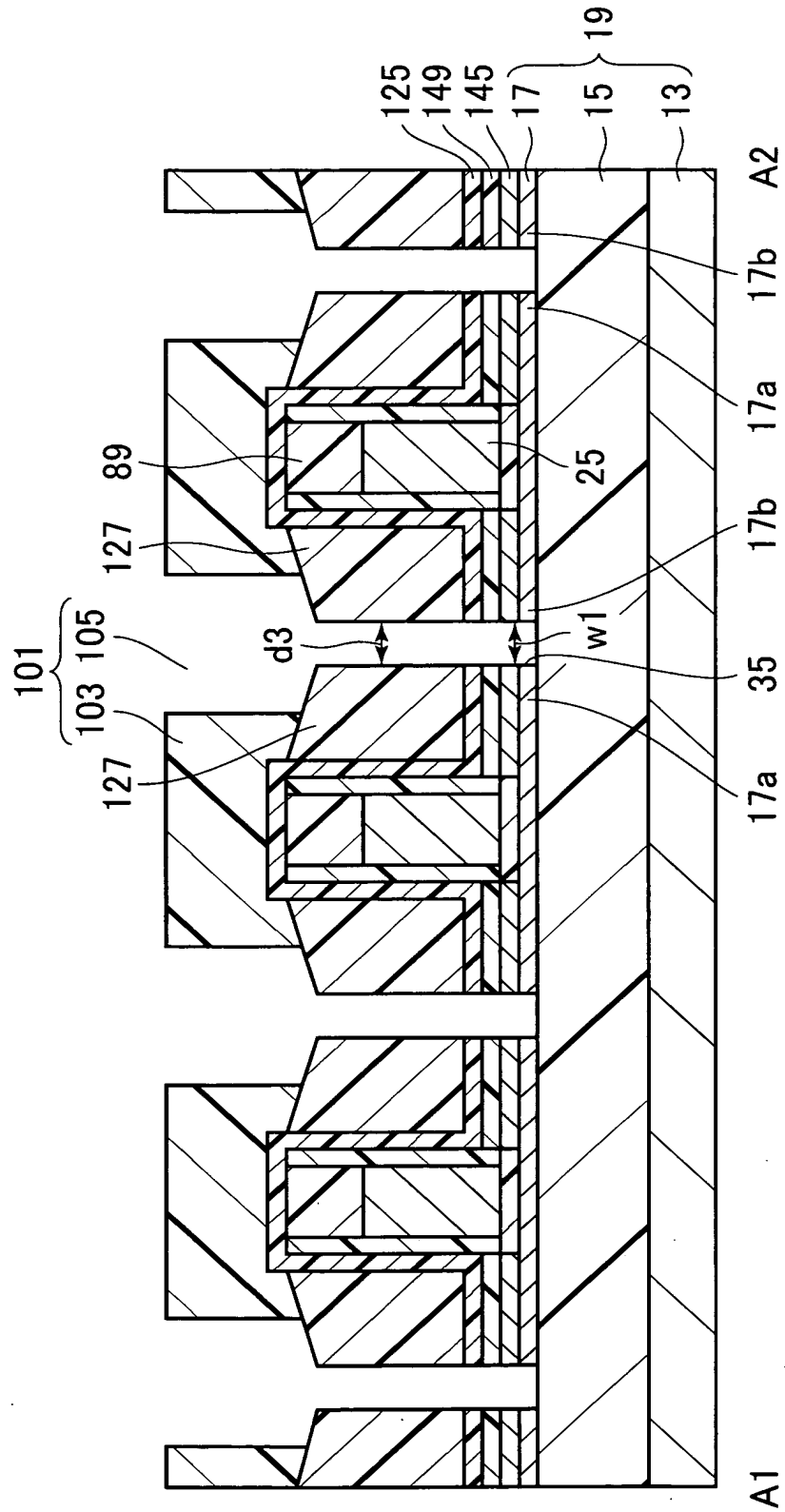
【図 49】



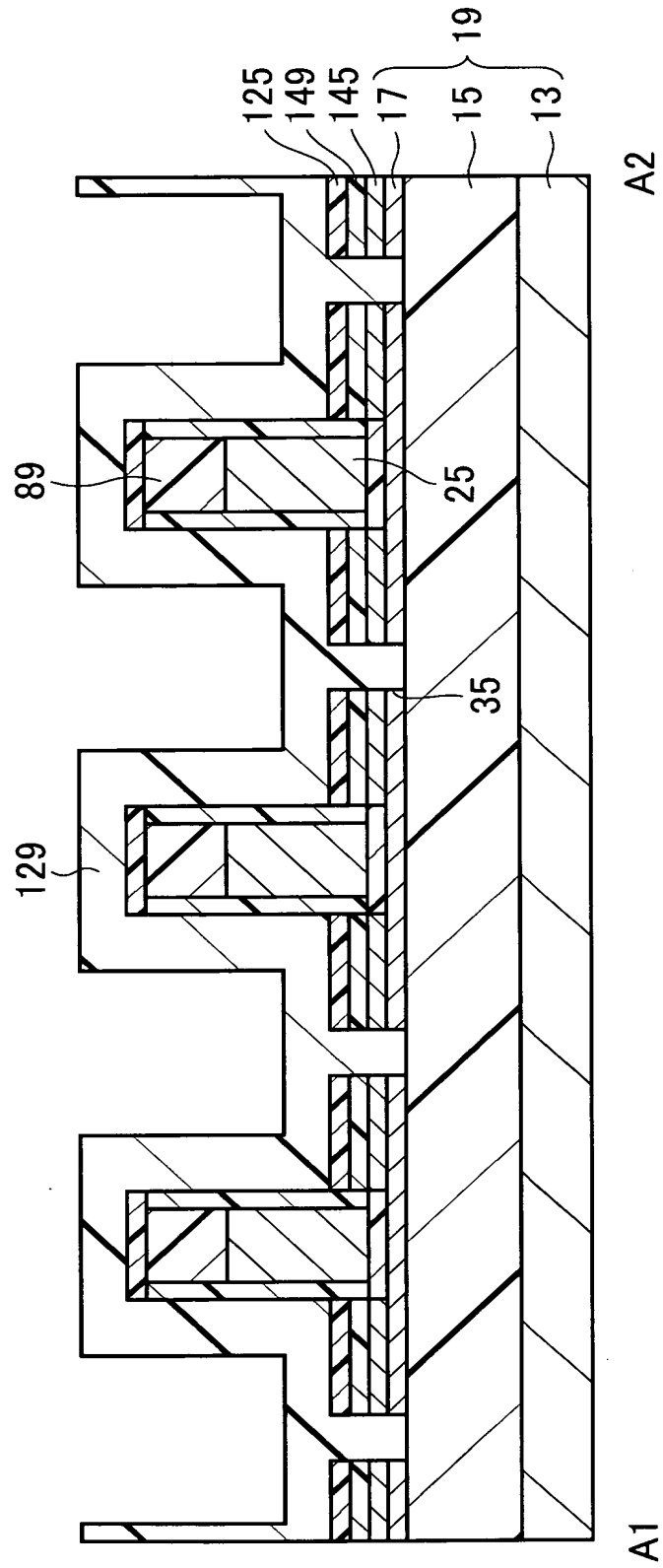
【図 50】



【図 51】

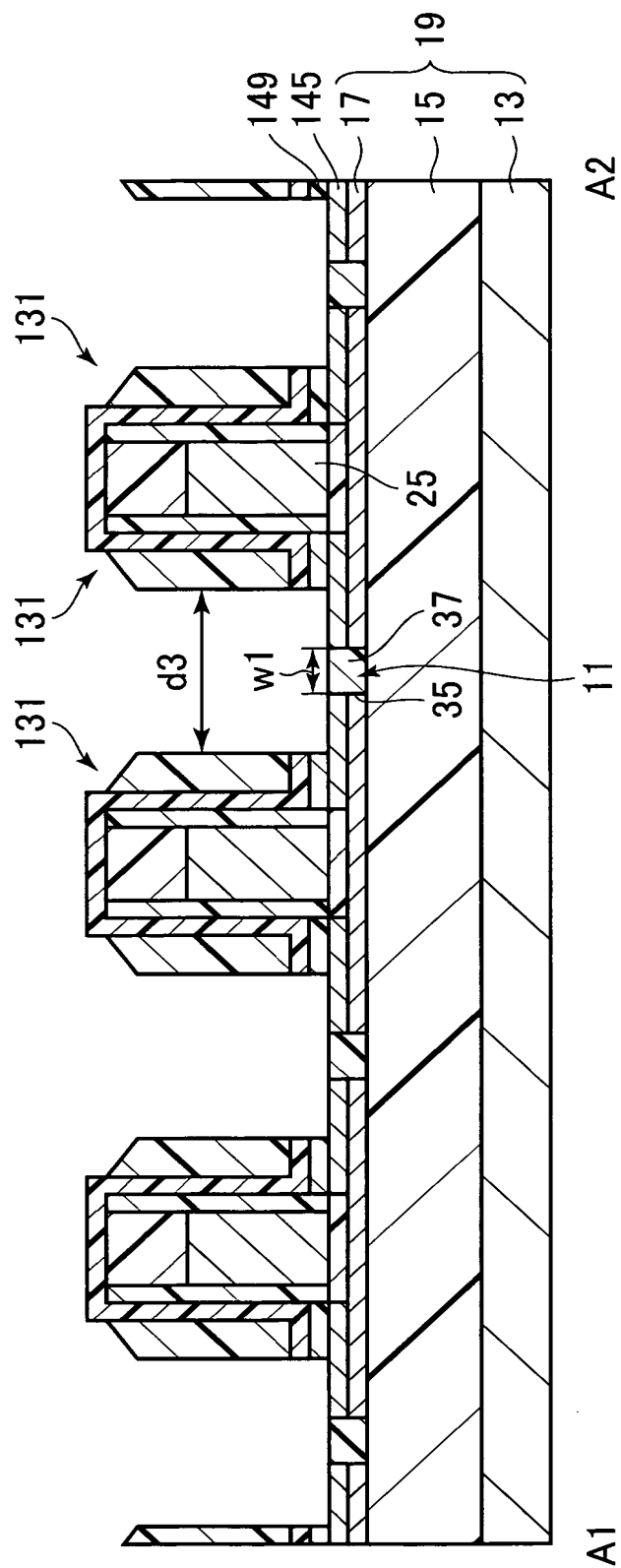


【図 52】

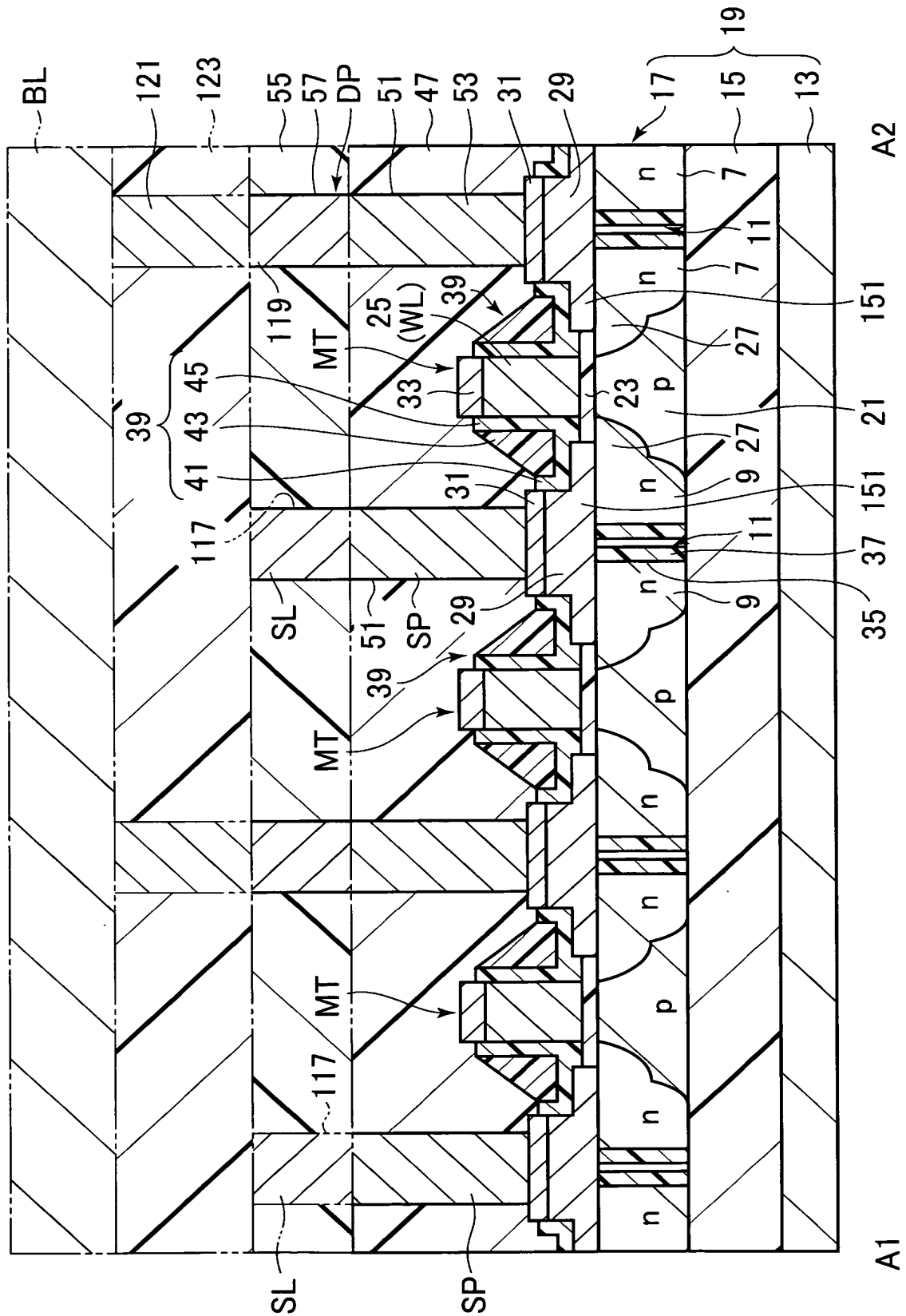




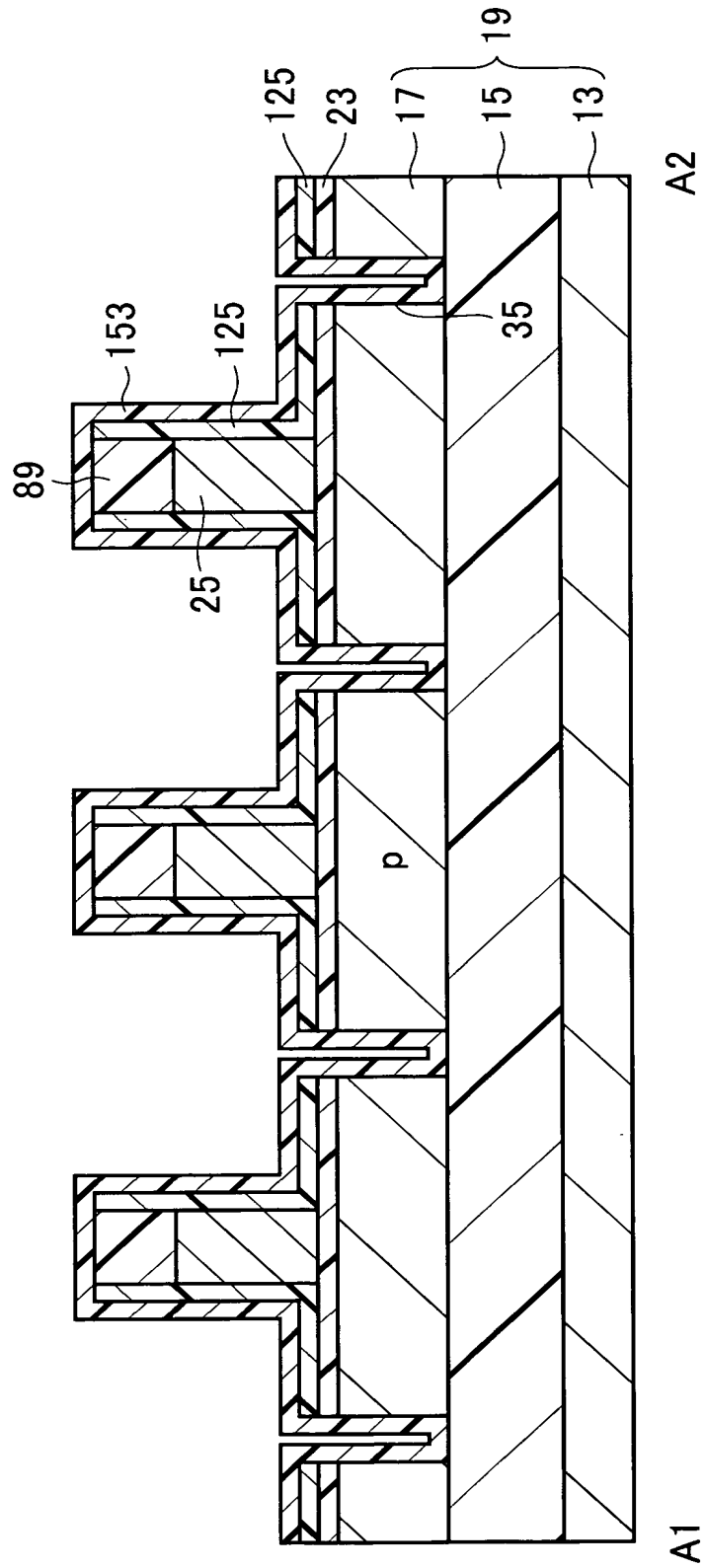
【図 53】



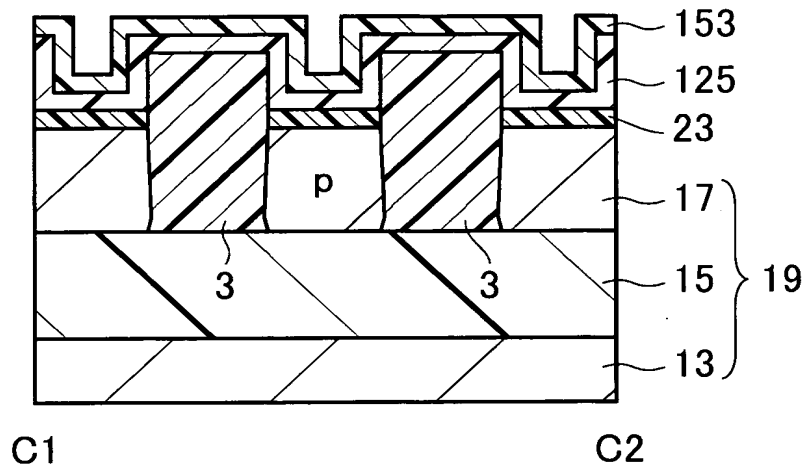
【図 54】



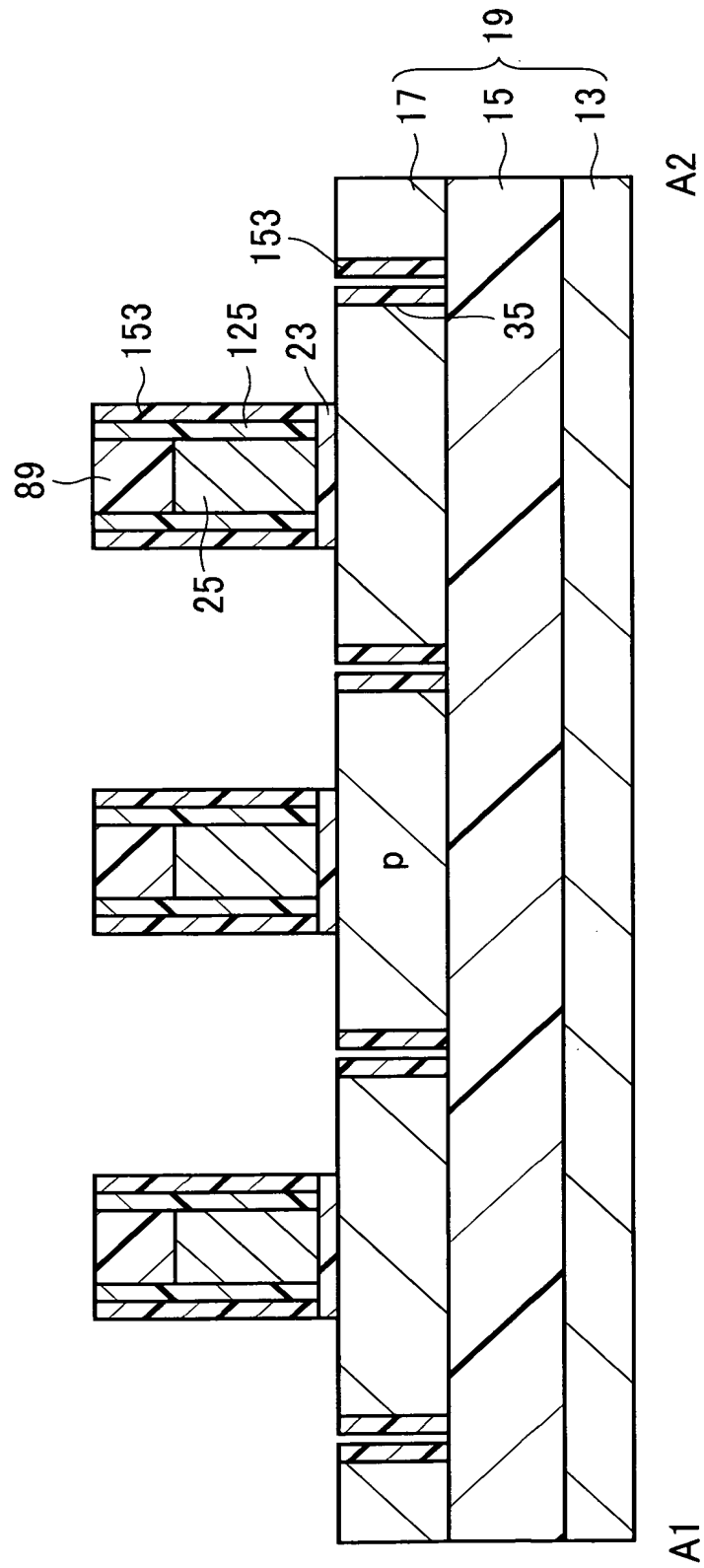
【図 55】



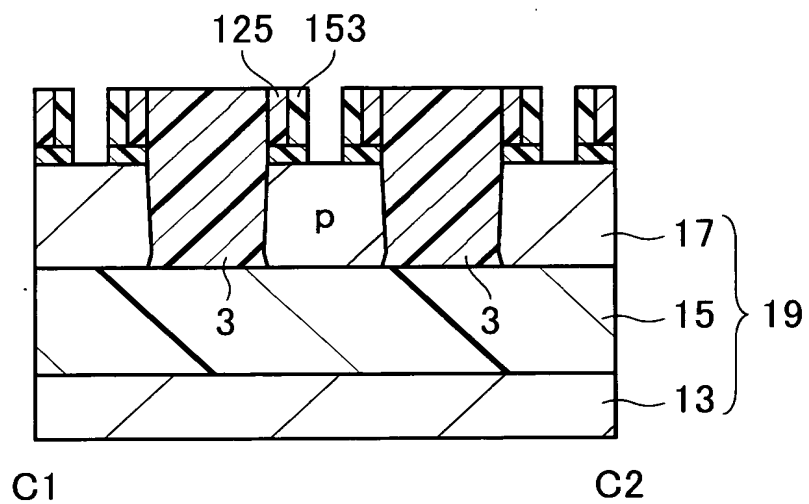
【図 56】



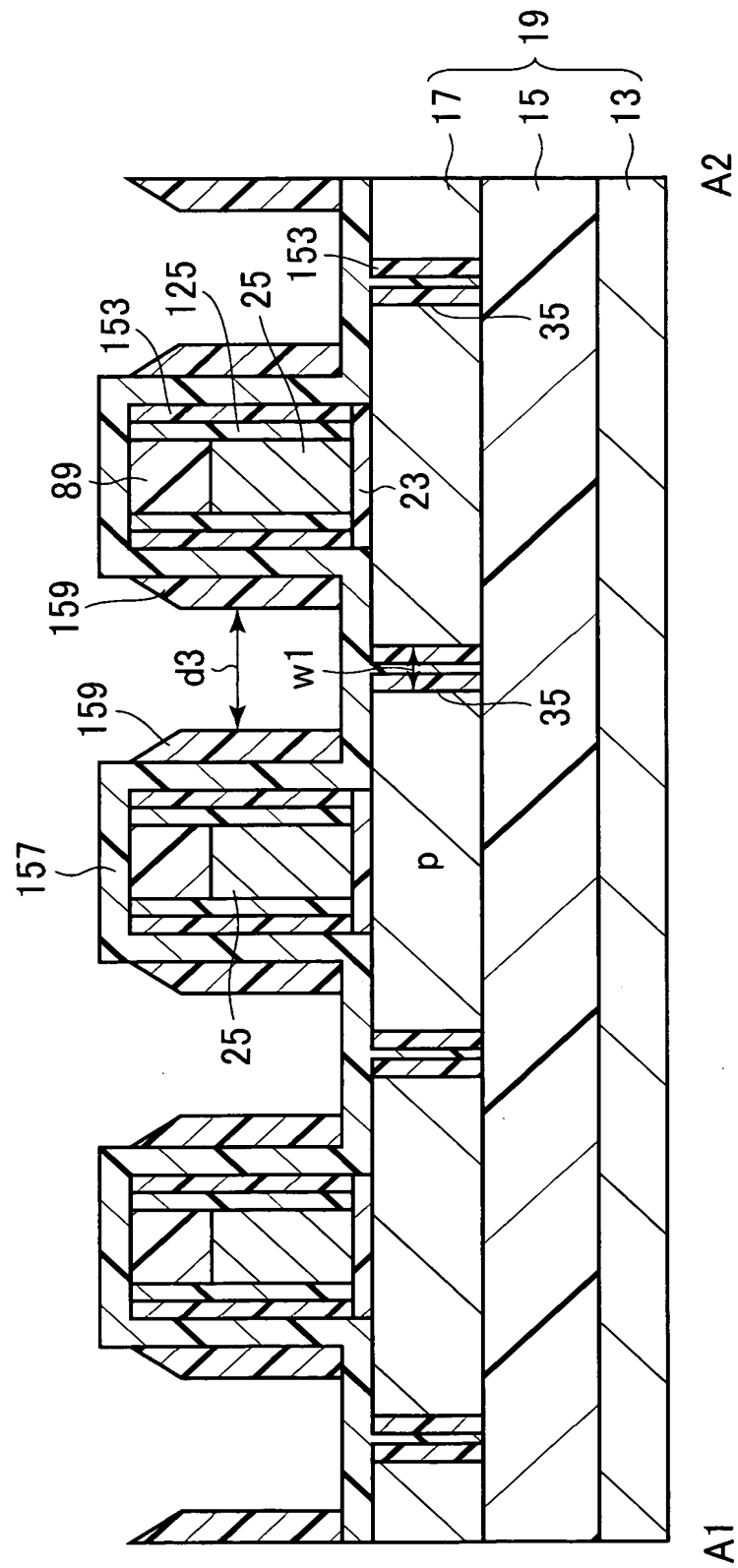
【図 57】



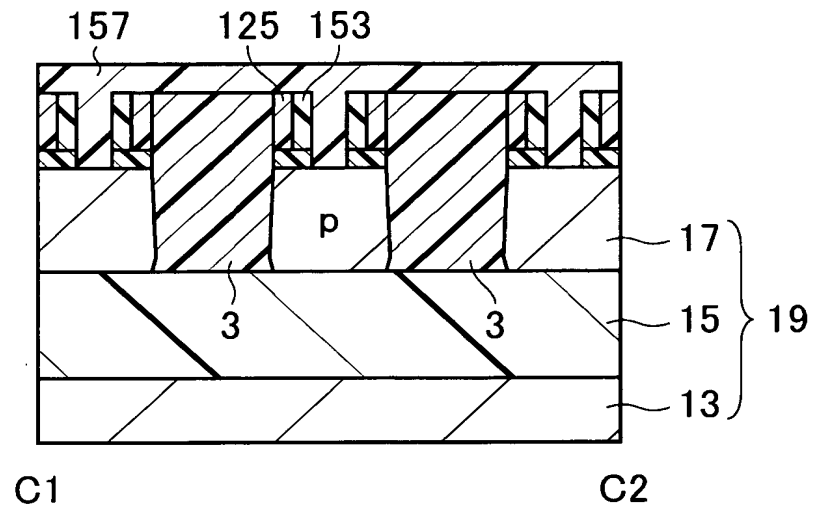
【図 58】



【図 59】

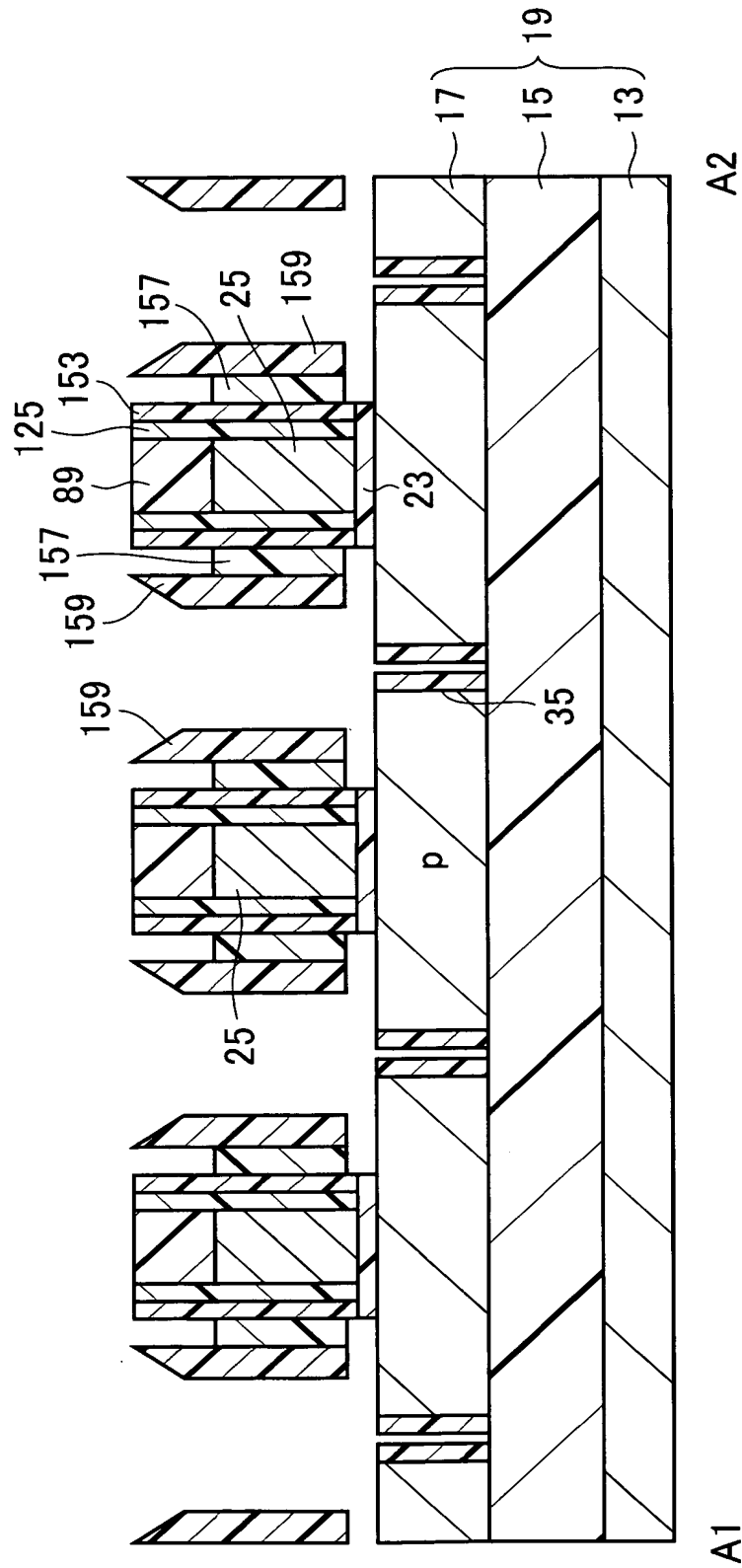


【図 60】

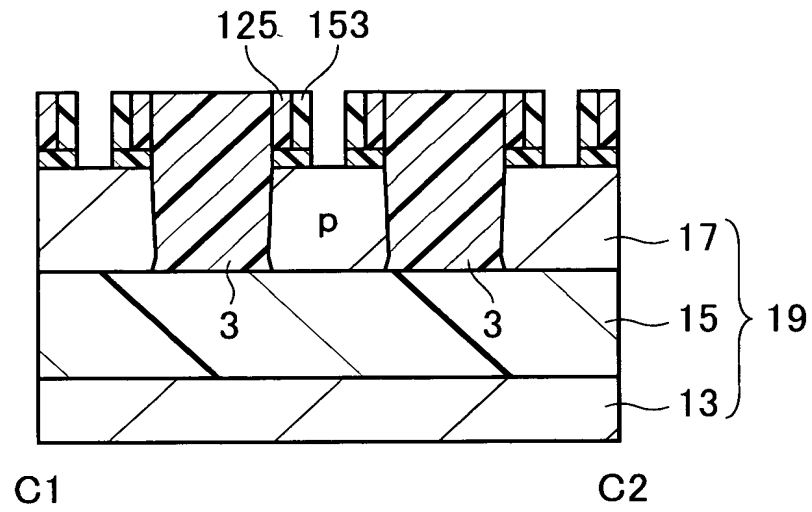




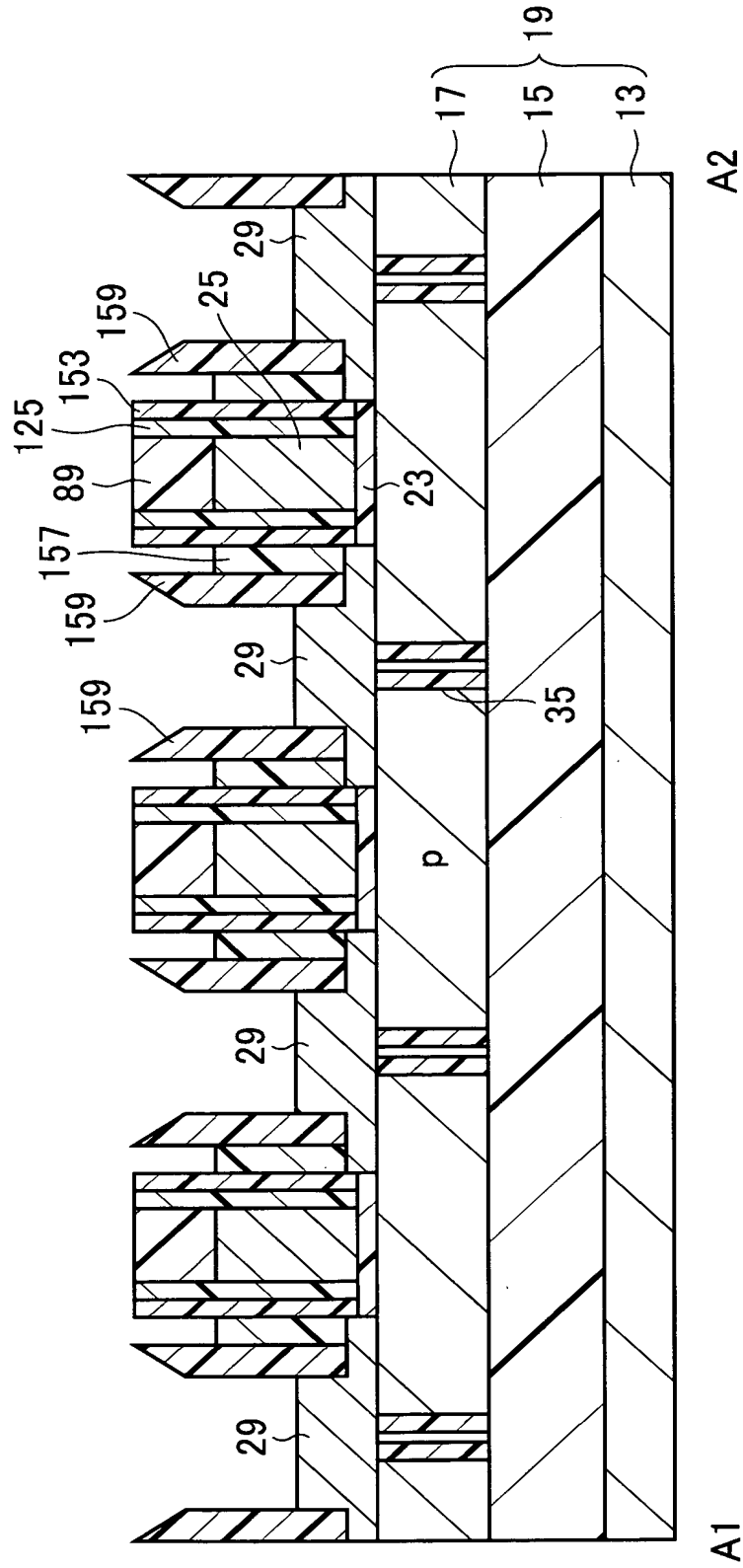
【図 61】



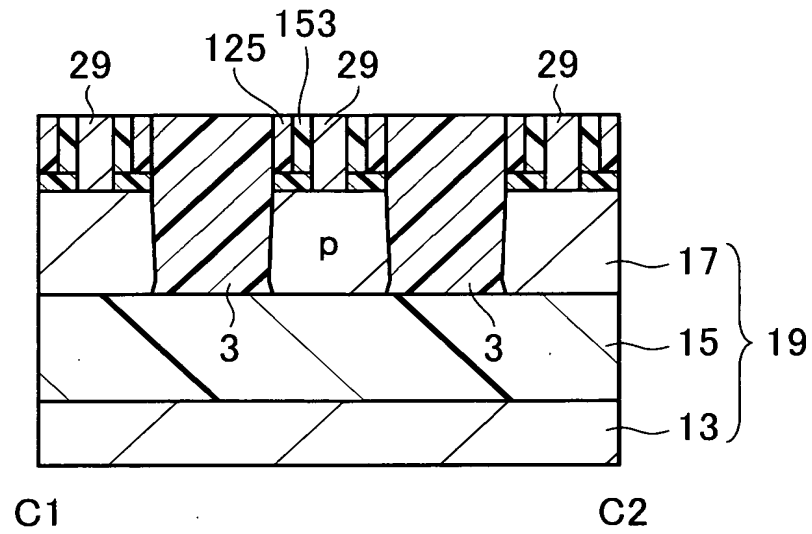
【図 62】



【図 63】



【図 64】



【書類名】 要約書

【要約】

【課題】 微細化を図りつつデータ破壊の防止を可能にする半導体メモリ装置を提供する

。【解決手段】 半導体メモリ装置のメモリセルである記憶トランジスタMTは、SOI基板のシリコン層に形成されたドレイン領域7及びソース領域9と、これらの領域の間のシリコン層に形成されたフローティングのチャンネルボディと、チャンネルボディ上にゲート絶縁膜を介して配置されたゲート電極（ワード線WL）と、で構成される。チャンネルボディの多数キャリア蓄積状態によりデータを記憶する。隣り合うドレイン領域7（ソース領域9）どうしを絶縁分離する不純物領域分離領域11の幅w1は、素子分離領域3の幅w2よりも小さい。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 4 1 0 9 3 7
受付番号	5 0 3 0 2 0 2 8 8 7 3
書類名	特許願
担当官	笹川 友子 9 4 8 2
作成日	平成 1 5 年 1 2 月 1 2 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 12 月 9 日

特願 2 0 0 3 - 4 1 0 9 3 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝